



11054636 A

Generated Document.

(21) Application number: 09211487

(51) Intl. Cl.: H01L 21/8247 H01L 29/788 H01L 29/792
H01L 27/115 H01L 27/10

(22) Application date: 06.08.97

(30) Priority:

(43) Date of application publication: 26.02.99

(84) Designated contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: TEZUKA SADAO

(74) Representative:

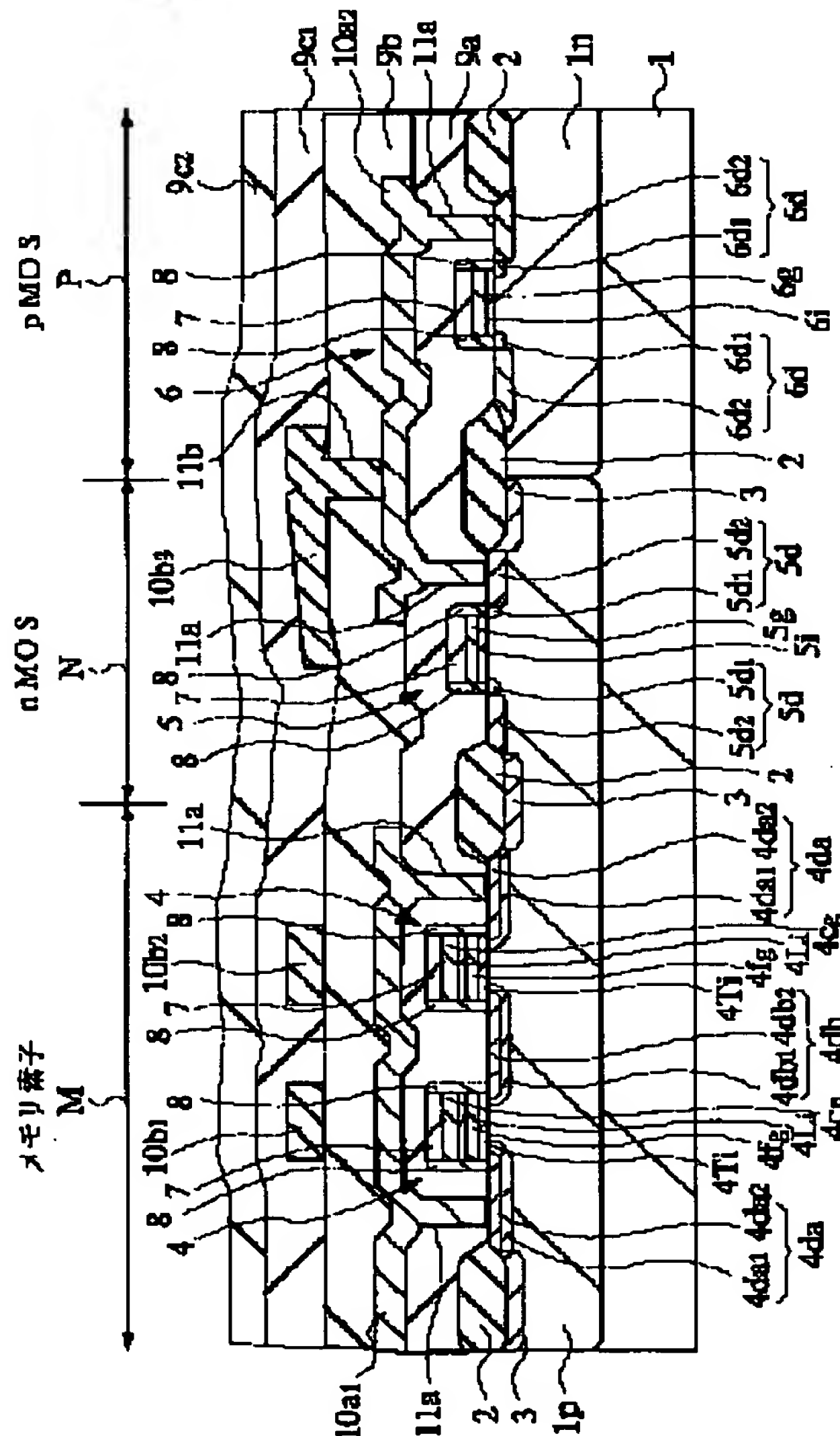
**(54) SEMICONDUCTOR
INTEGRATED CIRCUIT AND
FABRICATION THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To enhance nonvolatility of data of a semiconductor circuit device comprising a nonvolatile memory of two layer gate structure MISFET by composing an insulation film required for providing a control gate on a floating gate of a ferroelectric film.

SOLUTION: A memory cell 4 basically having a two layer gate structure of a MOSFET comprises a pair of semiconductor regions 4da, 4db, a tunnel insulation film 4Ti, a floating gate 4fg, an interlayer film 4Li, and a control gate 4cg. The interlayer film 4Li on the floating gate 4fg is composed of a ferroelectric material, e.g. zirconium titanate lead. Hot carriers implanted into the floating gate 4fg are held through spontaneous polarization occurring in the interlayer film 4Li and the state of field is stabilized between the floating gate 4fg and the control gate 4cg. According to the structure, nonvolatility of the memory cell 4 can be enhanced.

COPYRIGHT: (C)1999,JPO



Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION

Publication No. 11-054636

[0021] to [0034]

[0021] First, there will be hereinafter described with reference to Figure 1 in section the structure of a memory element region and a peripheral circuit region of a flash memory (EEPROM), which is a semiconductor integrated circuit device according to the present embodiment.

[0022] A semiconductor substrate 1 is made of, for example, p-type silicon (Si) monocrystal, and a p-well 1p and an n-well 1n are selectively formed in the upper layer portion thereof.

[0023] The p-well 1p is formed in a memory element region M and an n-channel MOS • FET (Metal Oxide Semiconductor Field Effect Transistor: hereinafter referred to as n-MOS) region N in a peripheral circuit region in the upper layer portion of the semiconductor substrate 1. The p-well 1p contains, for example, boron which serves as a p-type impurity.

[0024] On the other hand, the n-well 1n is formed in a p-channel MOS • FET (Metal Oxide Semiconductor Field Effect Transistor: hereinafter referred to as p-MOS) region P in the peripheral circuit region in the upper layer portion of the semiconductor substrate 1. The n-well 1n contains, for example, phosphorous or the like which serves as an n-type impurity.

[0025] A field insulating film 2 is selectively formed in an isolation region in this upper layer portion of the semiconductor substrate 1 and is made of, for example, silicon dioxide (SiO_2).

[0026] Channel stopper regions 3 are respectively formed below the field insulating films 2 in the memory element region M and the n-MOS region N. The channel stopper regions 3 contain, for example, boron or the like which serves as a p-type impurity.

[0027] A memory cell 4, an n-MOS 5 and a p-MOS 6 are respectively formed in the memory element region M, the n-MOS region N and the p-MOS region P which are surrounded by the field insulating film 2.

[0028] The memory cell 4, which utilizes an MOS-FET having a two-layered gate structure, includes a pair of semiconductor regions 4da and 4db, a tunneling insulating film 4Ti, a floating gate 4fg, an interlayer 4Li and a control gate 4cg.

[0029] The semiconductor regions 4da and 4db in which a source and a drain are respectively formed, are formed separately from each other in the upper portion of the semiconductor substrate 1. The channel region of the memory cell 4 is formed between the semiconductor regions 4da and 4db.

[0030] The semiconductor region 4da includes a semiconductor region 4da1 and a semiconductor region 4da2 formed in an upper layer thereof. The semiconductor region 4da1 contains, for example, boron or the like which serves as a p-type impurity. The semiconductor region 4da2 contains, for example, arsenic (As) or the like which serves as an n-type impurity.

[0031] The semiconductor region 4db includes a semiconductor region 4db1 and a semiconductor region 4db2 formed in an upper layer thereof. The semiconductor region 4db1 contains, for example, phosphorus or the like which serves as an n-type impurity. The semiconductor region 4db2 contains, for example, As or the like which serves as an n-type impurity.

[0032] The tunneling insulating film 4Ti is made of, for example, SiO_2 and is formed on the semiconductor substrate 1. The floating gate 4fg is formed on the tunneling insulating film 4Ti.

[0033] The floating gate 4fg is made of, for example, polysilicon having a low resistance. The interlayer 4 Li is formed on the floating gate 4fg through a barrier film made of, for example, platinum (Pt) or the like.

[0034] In the present embodiment, this interlayer 4Li is made of a ferroelectric material such as lead zirconium titanium oxide (PbZrTiO_3 ; hereinafter referred to as PZT) and the like. Accordingly, the following effects can be obtained.

[0039] to [0057]

[0039] Suppose a capacitance between the floating gate 4fg and the semiconductor substrate 1 is represented by C_1 , a capacitance between the floating gate 4fg and the control gate 4cg is represented by C_2 , the potential of the control gate 4cg is represented by V_{CG} and the potential of the semiconductor substrate 1 is 0V, the potential V_{FG} of the floating gate 4fg can be expressed as $(C_2/(C_1 + C_2)) \times V_{CG}$. Consequently, as the capacitance C_2 between the floating gate 4fg and the control gate 4cg becomes larger, the memory cell 4 becomes operable at the smaller

potential VCG of the control gate.

[0040] The barrier film located below the interlayer 4Li serves to make the interlayer 4Li have the perovskite crystal structure, more specifically, to provide ferroelectricity to the interlayer 4Li.

[0041] The control gate 4cg is provided on the interlayer 4Li through a barrier film made of, for example, Pt or the like. This barrier film serves, as well as the barrier film located below the interlayer 4Li, to ensure the ferroelectricity of the interlayer 4Li.

[0042] The control gate 4cg composes a part of a word line, and is formed by depositing a silicide film such as tungsten silicide (WSi_2) or molybdenum silicide (MoSi_2) or the like on the polysilicon having a low resistance.

[0043] A cap insulating film 7 made of, for example, SiO_2 or the like is formed on the control gate 4c in order to prevent separation of the silicide film. Further, a sidewall 8 made of, for example, SiO_2 is formed on the side face of such the two-layered gate electrode.

[0044] The above n-MOS 5 includes a pair of semiconductor regions 5d and 5d formed separately from each other in the upper portion of the p-well region 1p, a gate insulating film 5i formed on the semiconductor substrate 1 and a gate electrode 5g formed thereon. The channel region of the n-MOS 5 is formed between the pair of semiconductor regions 5d and 5d.

[0045] The pair of the semiconductor regions 5d and 5d, in which source and drain regions of the n-MOS 5 are respectively formed each includes a semiconductor region 5d1 arranged on the channel region side and a

semiconductor region 5d2 arranged outside the channel region so as to restrain the hot carrier effect.

[0046] Both of the semiconductor regions 5d1 and 5d2 contain, for example, phosphorus or As which serves as an n-type impurity. Wherein, the concentration of the impurity of the semiconductor region 5d1 on the channel region side is relatively low and the concentration of the semiconductor region 5d2 outside the channel region is relatively high.

[0047] The gate insulating film 5i is made of, for example, SiO_2 . The gate electrode 5g is formed by laminating, for example, WSi_2 or MoSi_2 on the polysilicon having a low resistance. The cap insulating film 7 made of, for example, SiO_2 or the like is formed on the upper face of the gate electrode 5g, and the sidewall 8 made of, for example, SiO_2 or the like is formed on the side face of the gate electrode 5g.

[0048] On the other hand, the above p-MOS 6 includes a pair of semiconductor regions 6d and 6d formed separately from each other in the upper portion of the n-well 1n, a gate insulating film 6i formed on the semiconductor substrate 1 and a gate electrode 6g formed thereon. The channel region of the p-MOS 6 is formed between the pair of the semiconductor regions 6d and 6d.

[0049] The pair of the semiconductor regions 6d and 6d, in which the source and drain regions of the p-MOS 6 are respectively formed, each includes a semiconductor region 6d1 arranged on the channel region side and a semiconductor region 6d2 arranged outside the channel region so as to restrain the hot carrier effect.

[0050] Both of the semiconductor regions 6d1 and 6d2 contain, for

example, boron which serves as a p-type impurity. Wherein, the impurity concentration of the semiconductor region 6d1 on the channel region side is relatively low and the concentration of the semiconductor region 6d2 outside the channel region is relatively high.

[0051] The gate insulating film 6i is made of, for example, SiO_2 . Further, the gate electrode 6g is formed by laminating, for example, WSi_2 or MoSi_2 on the polysilicon having a low resistance. Moreover, the cap insulating film 7 made of, for example, SiO_2 or the like is formed on the upper face of the gate electrode 6g. The sidewall 8 made of, for example, SiO_2 or the like is formed on the side face of the gate electrode 6g.

[0052] An interlevel dielectric film 9a made of, for example, SiO_2 is deposited on the semiconductor substrate 1, with which the memory cell 4, the n-MOS 5 and the p-MOS 6 are covered.

[0053] First layer interconnects 10a1 and 10a2 made of, for example, aluminium (Al)-Si-copper (Cu) alloy are formed on the upper face of the interlevel dielectric film 9a.

[0054] One of the first layer interconnects, 10a1, is electrically connected to each of the semiconductor regions 4da of the two memory cells 4 through a contact hole 11a punched through the interlevel dielectric film 9a. In other words, the first layer interconnect 10a1 electrically connects the semiconductor regions 4da and 4da of the two memory cells 4.

[0055] On the other hand, the other first layer interconnect 10a2 is electrically connected to one 5d of the pair of semiconductor regions of the n-MOS 5 and one 6d of the pair of the semiconductor regions of the p-MOS 6 through the contact hole 11a punched through the interlevel

dielectric film 9a. In other words, the first layer interconnect 10a2 electrically connects one 5d of the pair of the semiconductor regions of the n-MOS 5 and one 6d of the pair of the semiconductor layers of the p-MOS 6.

[0056] The first layer interconnects 10a1 and 10a2 are covered with the interlevel dielectric film 9b. The interlevel dielectric film 9b is made of, for example, SiO_2 , and second layer interconnects 10b1 to 10b3 made of, for example, Al-Si-Cu alloy are formed thereon. One of the second layer interconnects, 10b3, is electrically connected to the first layer interconnect 10a2 through a contact hole 11b punched through the interlevel dielectric film 9b.

[0057] The second layer interconnects 10b1 to 10b3 are covered with surface protection films 9c1 and 9c2 made of, for example, SiO_2 . Further, there is formed in a part of the surface protection films 9c1 and 9c2 an opening through which a part of the second layer interconnects is exposed. The portion of the interconnects, which is exposed through this opening, forms a bonding pad part and is electrically connected to the inner lead of a package through a bonding wire.

[0073] to [0089]

[0073] Subsequently, after the pad film is removed by etching with the use of a solution of hydrogen fluoride or the like, the semiconductor substrate 1 is subjected to wet oxidation treatment at, for example, 800 °C, so that a tunneling insulating film 4i made of, for example, SiO_2 or the like and having a thickness of approximately 9 nm is formed on the main face of

the semiconductor substrate 1, as shown in Figure 10.

[0074] Next, a conductor film 16 made of polysilicon having a low resistance and doped with, for example, an n-type impurity, is deposited on the semiconductor substrate 1 by a CVD method or the like. The temperature for this CVD treatment is, for example, approximately 580 °C, and a gaseous mixture of monosilane (SiH_4) and phosphine (PH_3), for example, is used for the treatment.

[0075] Additionally, a barrier film of, for example, Pt or the like is deposited on the conductor film 16 by a sputtering method or the like, and then, a ferroelectric material such as PZT or the like is deposited by the sputtering method or the like. Moreover, another barrier film of, for example, Pt or the like is deposited thereon by the sputtering method or the like.

[0076] Subsequently, the conductor film 16, the barrier film, the ferroelectric film serving as the interlayer formed thereon and the barrier film formed thereon are subjected to a photolithography technique and a dry etching technique or the like to pattern the conductor film 16, the barrier film formed thereon, the insulating film 17 serving as the interlayer formed thereon and the barrier film formed thereon, as shown in Figure 11

[0077] Thereafter, a photoresist pattern 13c which exposes the n-MOS region N and covers the other regions is formed on the semiconductor substrate 1 by the photolithography technique.

[0078] Further, in order to set the threshold voltage of the n-MOS in the n-MOS region N, ion implantation or the like is performed to implant boron or the like which serves as a p-type impurity into the semiconductor

substrate 1 using the photoresist pattern 13c as a mask.

[0079] Next, after the photoresist pattern 13c is removed, the semiconductor substrate 1 is subjected to thermal oxidation treatment, whereby the gate insulating films 5i and 6i made of, for example, SiO_2 or the like, are respectively formed in the n-MOS region 5 and the p-MOS region 6 on the semiconductor substrate 1, as shown in Figure 12.

[0080] Thereafter, there is deposited on the semiconductor substrate 1 by a CVD method or the like a conductor film formed by depositing sequentially polysilicon having a low resistance and WSi_2 or MoSi_2 or the like. Moreover, an insulating film made of, for example, SiO_2 or the like is deposited thereon by a CVD method.

[0081] Furthermore, the conductor film and the insulating film on the semiconductor substrate 1 are patterned by a photolithography technique, a dry etching technique or the like.

[0082] With the patterned one, the tunneling insulating film 4i, the floating gate 4fg, the interlayer 4Li, the control gate 4cg and the cap insulating film 7 are patterned and formed in the memory element region M while the gate insulating films 5i, 6i, the gate electrodes 5g and 6g are patterned and formed simultaneously in the n-MOS region N and the p-MOS region P, respectively.

[0083] Subsequently, a predetermined impurity is introduced into the semiconductor substrate 1 by an ordinary ion implantation or the like, whereby the semiconductor regions 4da and 4db are formed in the memory element region M, as shown in Figure 13.

[0084] Subsequently, as shown in Figure 14, a photoresist pattern 13d

which exposes the n-MOS region N and covers the other regions thereon is formed on the semiconductor substrate 1 by a photolithography technique.

[0085] Subsequently, ion implantation or the like is performed to introduce, for example, phosphorous which serves as a p-type impurity into the n-MOS region N of the semiconductor substrate 1 using the photoresist pattern 13d and the gate electrode 5g as a mask.

[0086] Next, after the photoresist pattern 13d is removed, a photoresist pattern 13e which exposes the p-MOS region P and covers the other regions thereon is formed on the semiconductor substrate 1 by a photolithography technique.

[0087] Thereafter, ion implantation or the like is performed to introduce, for example, boron or the like which serves as a p-type impurity into the p-MOS region P of the semiconductor substrate 1, using the photoresist pattern 13e and a gate electrode 6g as a mask.

[0088] Further, an insulating film made of, for example, SiO_2 or the like is deposited on the semiconductor substrate 1 by a CVD method or the like after the photoresist pattern 13e is removed, and then, is etched back, whereby the sidewalls 8 are formed on the respective side faces of the two-layered gate electrode in the memory element region M, and the gate electrodes 5g and 6g in the peripheral circuit region, as shown in Figure 16.

[0089] Subsequently, the semiconductor substrate 1 is subjected to thermal oxidation treatment, whereby the semiconductor regions 5dl and 6dl lightly doped with impurities are respectively formed in the n-MOS region

N and the p-MOS region P.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-54636

(43)公開日 平成11年(1999)2月26日

(51) Int Cl. ⁸	識別記号
H O 1 L	
21/8247	
29/788	
29/792	
27/115	
27/10	4 5 1

FI		
H01L	29/78	371
	27/10	451
		434

審査請求 未請求 請求項の数6 OL (全 16 頁)

(21)出願番号 特願平9-211487

(22)出題日 平成9年(1997)8月6日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 手塚 貞雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

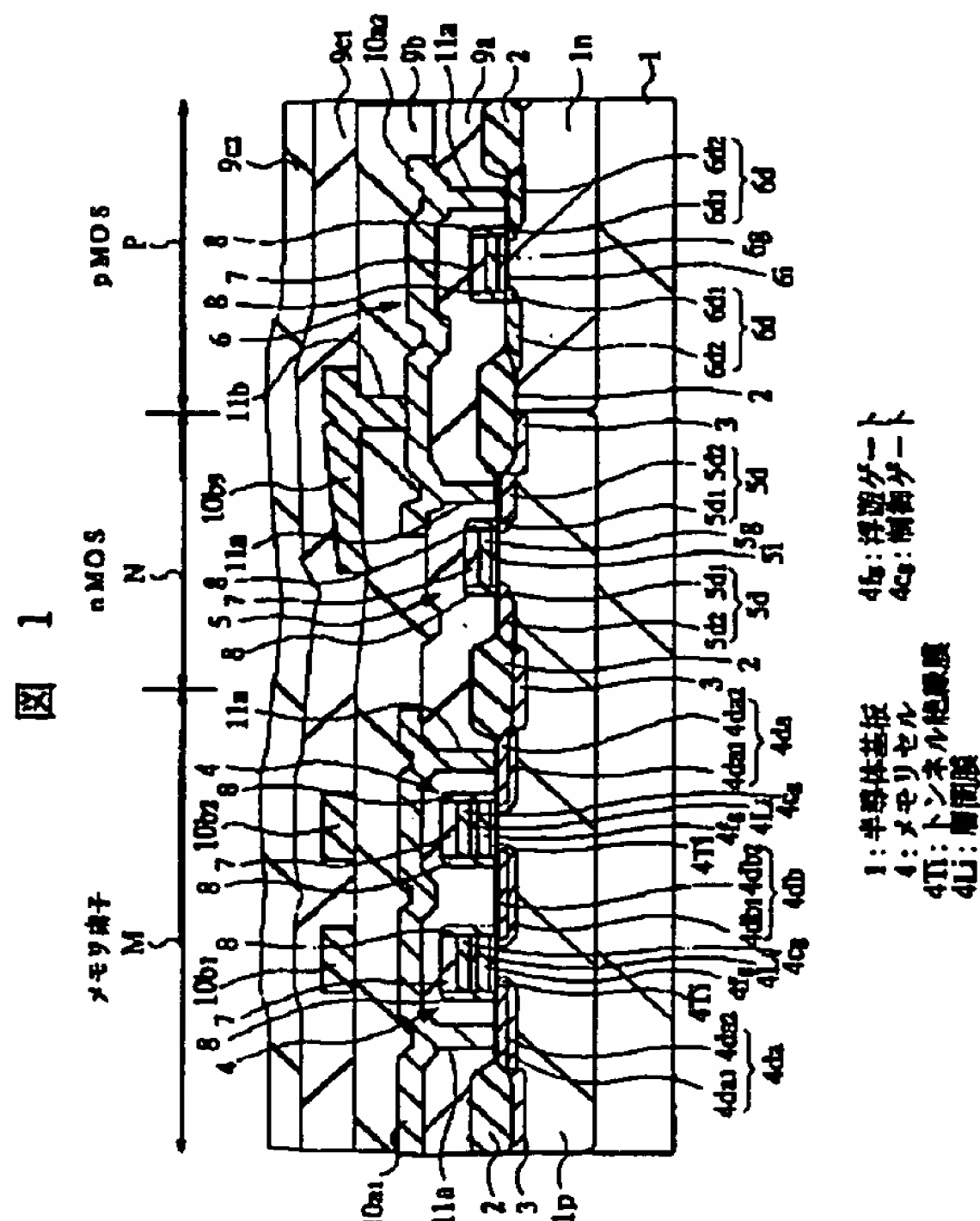
(74)代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 二層ゲート構造のMIS・FETからなる不揮発性メモリを有する半導体集積回路装置のデータの不揮発性を向上させる。

【解決手段】 2層ゲート構造のMOS・FETで構成される不揮発性のメモリセル4の浮遊ゲート4fgと制御ゲート4cgとの間の層間膜4Liを強誘電性材料により構成した。



【特許請求の範囲】

【請求項 1】 浮遊ゲート上に絶縁膜を介して制御ゲートを設けてなる 2 層ゲート構造の MIS トランジスタで構成される複数個の不揮発性メモリセルが半導体基板上に形成された半導体集積回路装置であって、前記絶縁膜を、強誘電性を有する機能膜により構成したことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記半導体チップ上の複数個の不揮発性メモリセルで構成される不揮発性メモリセル群のデータを一括して消去する機能を有することを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 または 2 記載の半導体集積回路装置において、前記機能膜がチタン酸ジルコニウム鉛であることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 または 2 記載の半導体集積回路装置において、前記強誘電性を有する機能膜が接触する浮遊ゲートと制御ゲートとの接触面に前記強誘電性を有する機能膜の特性を確保するためのバリア膜を形成したことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 記載の半導体集積回路装置において、前記浮遊ゲートおよび制御ゲートが低抵抗ポリシリコンであり、前記バリア膜が白金であり、前記機能膜がチタン酸ジルコニウム鉛であることを特徴とする半導体集積回路装置。

【請求項 6】 浮遊ゲート上に絶縁膜を介して制御ゲートを設けてなる 2 層ゲート構造の MIS トランジスタで構成される複数個の不揮発性メモリセルが半導体基板上に形成された半導体集積回路装置の製造方法であって、前記浮遊ゲートを形成するための導体膜を堆積する工程と、前記導体膜上に強誘電性を有する機能膜を堆積する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、二層ゲート構造の MIS・FET (Metal Insulator Semiconductor Field Effect Transistor) からなる不揮発性メモリセルを備える半導体集積回路装置技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】 電氣的に書き込み・消去可能な不揮発性メモリは、例えば配線基板上に組み込んだままでも情報の書き換えが可能であり、使用し易いことからメモリを必要とする種々の製品に幅広く使用されている。

【0003】 特に、電氣的一括消去型 EEPROM (Electrically Erasable Programmable ROM; 以下、フラッシュメモリ (EEPROM) ともいう) は、メモリセルのサイズを、DRAM (Dynamic Random Access Memor

y) よりも小さくすることができることからメモ리카ードや磁気ディスクの代替用途の期待も大きい。

【0004】 このフラッシュメモリ (EEPROM) は、半導体チップに形成された全てのメモリセルのデータを一括して電氣的に消去するか、又は半導体チップに形成された複数のメモリセルのうち、あるひとまとまりのメモリセル群のデータを一括して電氣的に消去する機能を持つ不揮発性メモリである。

【0005】 このフラッシュメモリ (EEPROM) の中でも 1 ビット/ 1 MOS・FET 構造のものは、1 ビット/ 2 MOS・FET 構造のものに比べて集積度を高くできることから需要が急増している。

【0006】 1 ビット/ 1 MOS・FET 構造は、1 個のメモリセルを、例えば 1 個の 2 層ゲート構造の MOS・FET で構成している。すなわち、メモリセルは、半導体基板上にゲート絶縁膜を介して浮遊ゲートを設け、通常、その上に二酸化シリコン (SiO_2) 等のような絶縁膜または窒化シリコン膜の上下に二酸化シリコン膜を設けた積層膜等を介して制御ゲートを積み重ねて構成されている。

【0007】 データの記憶・消去は、その浮遊ゲートに電子を注入したり、そこから電子を放出させることによって行っている。この電子の注入は、チャネル・ホットエレクトロン注入によって行う。この電子の注入を書き込みとする場合と、反対に電子の注入を消去とする場合とがあるが、いずれの場合も、通常、書き込みはバイト単位で行い、消去はチップ単位またはブロック単位で行う。

【0008】 なお、一括消去型 EEPROM に関しては、例えば特開平 7-176705 号公報に記載されている。

【0009】

【発明が解決しようとする課題】 ところが、浮遊ゲートと制御ゲートとの間の絶縁膜を SiO_2 等で構成する上記技術においては、以下の問題があることを本発明者は見出した。

【0010】 第 1 に、二層ゲート構造の MIS・FET からなる不揮発性メモリセルを備える半導体集積回路装置においては、浮遊ゲートと制御ゲートの間の層間膜の電界状態により、データの揮発性および半導体集積回路装置の信頼性が左右されるので、その層間膜の構造を如何にするかが重要な課題となっている。

【0011】 第 2 に、その不揮発性メモリセルの層間膜を SiO_2 等で形成した場合、その形成時の汚染等により膜質劣化が生じ、浮遊ゲートと制御ゲートとの間に電流経路が形成されたり、耐圧が低くなりパンチスルーが生じたりする問題がある。

【0012】 本発明の目的は、二層ゲート構造の MIS・FET からなる不揮発性メモリを有する半導体集積回路装置のデータの揮発性を向上させることのできる技

術を提供することにある。

【0013】本発明の他の目的は、二層ゲート構造のMIS・FETからなる不揮発性メモリの層間膜の耐圧を向上させ、その信頼性を向上させることのできる技術を提供することにある。

【0014】本発明の他の目的は、二層ゲート構造のMIS・FETからなる不揮発性メモリを有する半導体集積回路装置の歩留りおよび信頼性を向上させることのできる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】本発明の半導体集積回路装置は、浮遊ゲート上に絶縁膜を介して制御ゲートを設けてなる2層ゲート構造のMISトランジスタで構成される複数の不揮発性メモリセルが半導体基板上に形成された半導体集積回路装置であって、前記絶縁膜を、強誘電性を有する機能膜により構成したものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0019】図1は本発明の一実施の形態である半導体集積回路装置の要部断面図、図2は図1の半導体集積回路装置の動作を説明するためのメモリセルを模式的に示した説明図、図3～図20は図1の半導体集積回路装置の製造工程中における要部断面図である。

【0020】本実施の形態においては、本発明を、例えばフラッシュメモリ（EEPROM）に適用した場合について説明する。このフラッシュメモリ（EEPROM）は、半導体チップに形成された全てのメモリセルのデータを一括して電氣的に消去するか、又は半導体チップに形成された複数のメモリセルのうち、あるひとまとまりのメモリセル群のデータを一括して電氣的に消去する機能を持っている。

【0021】まず、本実施の形態の半導体集積回路装置であるフラッシュメモリ（EEPROM）のメモリ素子領域および周辺回路領域の断面構造を図1によって説明する。

【0022】半導体基板1は、例えばp形のシリコン（Si）単結晶からなり、その上層部にはpウェル1pおよびnウェル1nが選択的に形成されている。

【0023】このpウェル1pは、半導体基板1の上層部においてメモリ素子領域Mおよび周辺回路領域のnチャネル形のMOS・FET（Metal Oxide Semiconducto

r Field Effect Transistor；以下、nMOSと略す）領域Nに形成されている。このpウェル1pには、例えばp形不純物のホウ素が含有されている。

【0024】一方、上記したnウェル1nは、半導体基板1の上層部において、周辺回路領域のpチャネル形のMOS・FET（Metal Oxide Semiconductor Field Effect Transistor；以下、pMOSと略す）領域Pに形成されている。このnウェル1nには、例えばn形不純物のリン等が含有されている。

10 【0025】このような半導体基板1の上層部において分離領域には、フィールド絶縁膜2が選択的に形成されている。このフィールド絶縁膜2は、例えば二酸化シリコン（SiO₂）からなる。

【0026】なお、メモリ素子領域MおよびnMOS領域Nにおけるフィールド絶縁膜2の下層にはチャネルストッパ領域3が形成されている。このチャネルストッパ領域3には、例えばp形不純物のホウ素等が含有されている。

20 【0027】このフィールド絶縁膜2に囲まれたメモリ素子領域M、nMOS領域NおよびpMOS領域Pには、それぞれメモリセル4、nMOS5およびpMOS6が形成されている。

【0028】メモリセル4は、2層ゲート構造のMOS・FETを基本として、一对の半導体領域4da、4dbと、トンネル絶縁膜4Tiと、浮遊ゲート4fgと、層間膜4Liと、制御ゲート4cgとを有している。

30 【0029】半導体領域4da、4dbは、ソースおよびドレインを形成する領域であり、半導体基板1の上部に互いに離間して形成されている。この半導体領域4da、4dbの間にメモリセル4のチャネル領域が形成される。

【0030】半導体領域4daは、半導体領域4da1とその上層に形成された半導体領域4da2とを有している。半導体領域4da1には、例えばp形不純物のホウ素等が含有されている。また、半導体領域4da2には、例えばn形不純物のヒ素（As）等が含有されている。

40 【0031】半導体領域4dbは、半導体領域4db1とその上層に形成された半導体領域4db2とを有している。半導体領域4db1には、例えばn形不純物のリン等が含有されている。また、半導体領域4db2には、例えばn形不純物のAs等が含有されている。

【0032】トンネル絶縁膜4Tiは、例えばSiO₂からなり、半導体基板1上に形成されている。このトンネル絶縁膜4Ti上には浮遊ゲート4fgが形成されている。

50 【0033】この浮遊ゲート4fgは、例えば低抵抗ポリシリコンからなる。この浮遊ゲート4fg上には、例えば白金（Pt）等からなるバリア膜を介して層間膜4Liが形成されている。

【0034】本実施の形態においては、この層間膜4Liが、例えばチタン酸ジルコニウム鉛(PbZrTiO₃;以下、PZTという)等のような強誘電体材料からなる。これにより、次のような効果が得られるようになっている。

【0035】第1に、浮遊ゲート4fgと制御ゲート4cgとの間の電界の状態を安定化させることができるので、メモリセル4の不揮発性を向上させることが可能となる。

【0036】すなわち、本実施の形態においては、層間膜4Liを強誘電体材料で構成したことにより、浮遊ゲート4fgに注入されたホットキャリアが層間膜4Liに生じた自発分極によって保持される。この自発分極は外部からの電界が0(零)となっても残留分極として残る。このため、一旦書き込まれたデータは、例えば紫外線や電氣的ノイズ等のような外界からの干渉に対して極めて強い。また、層間膜4Liに電流リークの経路があっても、自発分極の極性が反転することはないので、データが消えてしまうこともない。したがって、メモリセル4の不揮発性を向上させることができる。

【0037】第2に、強誘電体材料は、二酸化シリコン膜または二酸化シリコンと窒化シリコンとの積層膜よりも耐圧が高いので、浮遊ゲート4fgと制御ゲート4cgとの間のパンチスルー等も生じ難く、層間膜4Liの信頼性を向上させることが可能となる。

【0038】第3に、層間膜4Liの誘電率が高いので、メモリセル4の浮遊ゲート4fgと制御ゲート4cgとの全体容量を増大させることができる。したがって、浮遊ゲート4fgと制御ゲート4cgとの容量結合比を改善することができるので、メモリセル4の面積増大を招くことなく、動作電圧を低下させることが可能となる。

【0039】例えば浮遊ゲート4fgと半導体基板1との間の容量をC1、浮遊ゲート4fgと制御ゲート4cgとの間の容量をC2とし、制御ゲート4cgの電位をVCG、半導体基板1の電位を0Vとすると浮遊ゲート4fgの電位VFGは $(C2 / (C1 + C2)) \times VCG$ と表すことができる。したがって、浮遊ゲート4fgと制御ゲート4cgとの間の容量C2が大きければ大きいほど、より小さい制御ゲート電位VCGでメモリセル4の動作が可能となる。

【0040】層間膜4Liの下層のバリア膜は、層間膜4Liの結晶構造がペロブスカイト結晶構造となるように、すなわち、層間膜4Liが強誘電性を持つようになるための膜である。

【0041】このような層間膜4Li上には、例えばPt等からなるバリア膜を介して制御ゲート4cgが設けられている。このバリア膜も、上記した層間膜4Liの下層のバリア膜と同様、層間膜4Liの強誘電性を確保するための膜である。

【0042】制御ゲート4cgは、ワード線の一部を構成しており、例えば低抵抗ポリシリコン上にタングステンシリサイド(WSi₂)またはモリブデンシリサイド(MoS₂)等のようなシリサイド膜が堆積されて構成されている。

【0043】なお、制御ゲート4c上には、シリサイド膜の剥離を防止するため、例えばSiO₂等からなるキャップ絶縁膜7が形成されている。また、このような2層ゲート電極の側面には、例えばSiO₂からなるサイドウォール8が形成されている。

【0044】上記したnMOS5は、pウェル1pの上部に互いに離間して形成された一対の半導体領域5d、5dと、半導体基板1上に形成されたゲート絶縁膜5iと、その上に形成されたゲート電極5gとを有している。なお、一対の半導体領域5d、5dの間にnMOS5のチャネル領域が形成される。

【0045】この一対の半導体領域5d、5dは、nMOS5のソース・ドレイン領域を形成するための領域であり、ホットキャリア効果を抑制すべく、チャネル領域側に配置された半導体領域5d1と、その外側に配置された半導体領域5d2とを有している。

【0046】半導体領域5d1、5d2には、共に、例えばn形不純物のリンまたはAsが含有されているが、チャネル領域側の半導体領域5d1の方が相対的に不純物濃度が低く、外側の半導体領域5d2の方が相対的に不純物濃度が高くなるように形成されている。

【0047】ゲート絶縁膜5iは、例えばSiO₂からなる。ゲート電極5gは、例えば低抵抗ポリシリコン上にWSi₂またはMoSi₂が積み重ねられて形成されている。なお、ゲート電極5gの上面には、例えばSiO₂等からなるキャップ絶縁膜7が形成されている。また、ゲート電極5gの側面には、例えばSiO₂等からなるサイドウォール8が形成されている。

【0048】一方、上記したpMOS6は、nウェル1nの上部に互いに離間して形成された一対の半導体領域6d、6dと、半導体基板1上に形成されたゲート絶縁膜6iと、その上に形成されたゲート電極6gとを有している。なお、一対の半導体領域6d、6dの間にpMOS6のチャネル領域が形成される。

【0049】この一対の半導体領域6d、6dは、pMOS6のソース・ドレイン領域を形成するための領域であり、ホットキャリア効果を抑制すべく、チャネル領域側に配置された半導体領域6d1と、その外側に配置された半導体領域6d2とを有している。

【0050】半導体領域6d1、6d2には、共に、例えばp形不純物のホウ素が含有されているが、チャネル領域側の半導体領域6d1の方が相対的に不純物濃度が低く、外側の半導体領域6d2の方が相対的に不純物濃度が高くなるように形成されている。

【0051】ゲート絶縁膜6iは、例えばSiO₂から

なる。また、ゲート電極 6 g は、例えば低抵抗ポリシリコン上に WSi_2 または $MoSi_2$ が積み重ねられて形成されている。なお、ゲート電極 6 g の上面には、例えば SiO_2 等からなるキャップ絶縁膜 7 が形成されている。また、ゲート電極 6 g の側面には、例えば SiO_2 等からなるサイドウォール 8 が形成されている。

【0052】このような半導体基板 1 上には、例えば SiO_2 からなる層間絶縁膜 9 a が堆積されており、これによって、上記したメモリセル 4、nMOS 5 および pMOS 6 が被覆されている。

【0053】この層間絶縁膜 9 a の上面には、例えばアルミニウム (Al) - Si - 銅 (Cu) 合金からなる第 1 層配線 10 a 1, 10 a 2 が形成されている。

【0054】このうちの 1 つの第 1 層配線 10 a 1 は、層間絶縁膜 9 a に穿孔された接続孔 11 a を通じて、2 つのメモリセル 4 の各々の半導体領域 4 d a と電気的に接続されている。すなわち、第 1 層配線 10 a 1 は、2 つのメモリセル 4 の各々の半導体領域 4 d a, 4 d a 間を電気的に接続している。

【0055】また、他の第 1 層配線 10 a 2 は、層間絶縁膜 9 a に穿孔された接続孔 11 a を通じて、nMOS 5 および pMOS 6 の各々の一方の半導体領域 5 d, 6 d と電気的に接続されている。すなわち、第 1 層配線 10 a 2 は、nMOS 5 と pMOS 6 との各々の一方の半導体領域 5 d, 6 d 間を電気的に接続している。

【0056】このような第 1 層配線 10 a 1, 10 a 2 は層間絶縁膜 9 b によって被覆されている。層間絶縁膜 9 b は、例えば SiO_2 からなり、その上面には、例えば Al - Si - Cu 合金からなる第 2 層配線 10 b 1 ~ 10 b 3 が形成されている。このうちの 1 つの第 2 層配線 10 b 3 は、層間絶縁膜 9 b に穿孔された接続孔 11 b を通じて第 1 層配線 10 a 2 と電気的に接続されている。

【0057】このような第 2 層配線 10 b 1 ~ 10 b 3 は、表面保護膜 9 c 1, 9 c 2 によって被覆されている。表面保護膜 9 c 1, 9 c 2 は、例えば SiO_2 等からなる。なお、このような表面保護膜 9 c 1, 9 c 2 の一部には、第 2 層配線の一部が露出するような開口部が形成されている。この開口部から露出する配線部分は、ボンディングパッド部を形成しており、ボンディングワイヤを通じてパッケージのインナーリードと電気的に接続されるようになっている。

【0058】次に、本実施の形態の半導体集積回路装置の動作を図 2 によって説明する。

【0059】まず、データの書き込みに際しては、メモリセル 4 のドレイン電極 D およびゲート電極 G に高電位を印加することにより、浮遊ゲート 4 f g にホットキャリアを注入する。この場合、制御ゲート 4 c g と浮遊ゲート 4 f g との間の層間膜 4 L i に自発分極が生じ、制御ゲート 4 c g からみたメモリセル 4 のしきい電圧が上

昇する。この自発分極はゲート電極 G に印加される電圧が 0 (零) となっても保持される。

【0060】一方、データの消去に際しては、ソース電極 S を高電位、ゲート電極 G を 0 V として浮遊ゲート 4 f g のホットキャリアをソース領域に放出させる。この場合、層間膜 4 L i の分極が反転し、前のデータの消去および反転されたデータの書き込みが行われたことになる。ここで生じた分極も浮遊ゲート 4 f g 内にホットキャリアが再度注入されない限り保持される。

10 【0061】次に、本実施の形態 1 の半導体集積回路装置の製造方法を図 3 ~ 図 20 によって説明する。

【0062】図 3 は本実施の形態 1 の半導体集積回路装置の製造工程中における半導体基板 1 の要部断面図である。半導体基板 1 は、例えば p 形の Si 単結晶からなり、その主面上には、例えば SiO_2 等からなるパッド膜 1 2 が熱酸化法等によって形成されている。

【0063】まず、このような半導体基板 1 上に、例えば窒化シリコン (Si_3N_4) 等からなる絶縁膜を CVD 法等によって堆積した後、その絶縁膜を図 4 に示すようにフォトレジストパターン 1 3 a をマスクとしてドライエッチング法等によってパターニングすることにより、半導体基板 1 の pMOS 領域 P 以外の領域に耐酸化マスク膜 1 4 を形成する。

【0064】続いて、半導体基板 1 に対して、フォトレジストパターン 1 3 a および耐酸化マスク膜 1 4 をマスクとして、例えば n 形不純物のリンをイオン注入法等によって打ち込む。

【0065】その後、半導体基板 1 に対して酸化処理を施すことにより、図 5 に示すように、pMOS 領域 P に、例えば SiO_2 等からなる厚い絶縁膜 1 5 を形成する。

【0066】次いで、耐酸化性マスク膜 1 4 を熱リン酸等によって除去した後、図 6 に示すように、半導体基板 1 に対して、例えば p 形不純物のホウ素をイオン注入法等によって打ち込む。

【0067】続いて、半導体基板 1 に対して熱処理を施すことにより、図 7 に示すように、半導体基板 1 の上層部に p ウエル 1 p および n ウエル 1 n を形成する。

【0068】その後、半導体基板 1 のメモリ素子領域 M および nMOS 領域 N における素子分離領域に、チャンネルストップ領域形成用の p 形不純物のホウ素等をイオン注入法等によって導入する。

【0069】次いで、半導体基板 1 に対してロコス酸化処理を施すことにより、図 8 に示すように、半導体基板 1 の上部の分離領域に、例えば SiO_2 等からなるフィールド絶縁膜 2 を形成する。この際、同時に、メモリ素子領域 M および nMOS 領域 N におけるフィールド絶縁膜 2 の下層にチャンネルストップ領域 3 を形成する。

【0070】続いて、半導体基板 1 に対して、例えばウエット酸化処理を施すことにより、半導体基板 1 の主面

上に、例えば SiO_2 等からなるパッド膜を形成する。このパッド膜は、メモリセルのしきい電圧を設定するためのチャネルイオン注入時にそのイオンの打ち込み深さ等の状態を所定値に設定する等の機能を有する絶縁膜である。

【0071】その後、図9に示すように、半導体基板1上に、メモリ素子領域Mが露出され、かつ、その他の領域が被覆されるようなフォトレジストパターン13bを形成する。

【0072】次いで、メモリセルのしきい電圧を設定するために、フォトレジストパターン13bをマスクとして半導体基板1に、例えばp形不純物のホウ素を上記したパッド膜を通してイオン注入法等によって導入する。

【0073】続いて、パッド膜をフッ化水素水等によるエッチング処理によって除去した後、図10に示すように、半導体基板1に対して、例えば800℃の温度でウェット酸化処理を施すことにより、半導体基板1の主面上に、例えば厚さ9nm程度の SiO_2 等からなるトンネル絶縁膜4iを形成する。

【0074】その後、半導体基板1上に、例えばn形不純物がドーピングされた低抵抗ポリシリコンからなる導体膜16をCVD法等によって堆積する。この際のCVD処理における処理温度は、例えば580℃程度であり、処理ガスは、例えばモノシラン(SiH_4)とホスフィン(PH_3)との混合ガスを用いている。

【0075】次いで、導体膜16上に、例えばPt等のようなバリア膜をスパッタリング法等によって堆積した後、例えばPZT等のような強誘電体材料をスパッタリング法等によって堆積し、さらに、その上面に、例えばPt等のようなバリア膜をスパッタリング法等によって

堆積する。【0076】続いて、この導体膜16、バリア膜、その上に形成された層間用の強誘電体膜およびその上に形成されたバリア膜をフォトリソグラフィ技術およびドライエッチング技術等を施すことにより、図11に示すように、導体膜16、その上にバリア膜、その上に層間膜用の絶縁膜17およびその上にバリア膜をパターン形成する。

【0077】その後、半導体基板1上に、nMOS領域Nが露出され、かつ、それ以外の領域が被覆されるフォトレジストパターン13cをフォトリソグラフィ技術によって形成する。

【0078】次いで、nMOS領域NにおけるnMOSのしきい電圧を設定するために、フォトレジストパターン13cをマスクとして、半導体基板1に対して、例えばp形不純物のホウ素等をイオン注入法等によって打ち込む。

【0079】続いて、フォトレジストパターン13cを除去した後、半導体基板1に対して熱酸化処理を施すことにより、図12に示すように、nMOS領域5および

pMOS領域6における半導体基板1上に、例えば SiO_2 等からなるゲート絶縁膜5i、6iを形成する。

【0080】その後、半導体基板1上に、例えば低抵抗ポリシリコンおよび WSi_2 または MoSi_2 等を順次積み重ねてなる導体膜をCVD法等によって堆積し、さらに、その上に、例えば SiO_2 等からなる絶縁膜をCVD法等によって堆積する。

【0081】次いで、フォトリソグラフィ技術およびドライエッチング技術等により、半導体基板1上の導体膜および絶縁膜をパターンニングする。

【0082】これにより、メモリ素子領域Mにおいては、トンネル絶縁膜4i、浮遊ゲート4fg、層間膜4Li、制御ゲート4cgおよびキャップ絶縁膜7をパターン形成し、nMOS領域NおよびpMOS領域Pにおいては、ゲート絶縁膜5i、6iおよびゲート電極5g、6gを同時にパターン形成する。

【0083】続いて、通常のイオン注入法等によって半導体基板1に対して所定の不純物を導入することにより、図13に示すように、メモリ素子領域Mに半導体領域4da、4dbを形成する。

【0084】その後、図14に示すように、半導体基板1上に、nMOS領域Nが露出され、かつ、それ以外の領域が被覆されるようなフォトレジストパターン13dをフォトリソグラフィ技術によって形成する。

【0085】次いで、このフォトレジストパターン13dおよびゲート電極5gをマスクとして、nMOS領域Nにおける半導体基板1に対して、例えばn形不純物のリンをイオン注入法等によって導入する。

【0086】続いて、フォトレジストパターン13dを除去した後、図15に示すように、半導体基板1上に、pMOS領域Pが露出され、かつ、それ以外の領域が被覆されるようなフォトレジストパターン13eをフォトリソグラフィ技術によって形成する。

【0087】その後、このフォトレジストパターン13eおよびゲート電極6gをマスクとして、pMOS領域Pの半導体基板1に対して、例えばp形不純物のホウ素等をイオン注入法等によって導入する。

【0088】次いで、フォトレジストパターン13eを除去した後、半導体基板1上に、例えば SiO_2 等からなる絶縁膜をCVD法等によって堆積し、その絶縁膜をエッチバックすることにより、図16に示すように、メモリ素子領域Mの2層ゲート電極および周辺回路領域のゲート電極5g、6gの側面にサイドウォール8を形成する。

【0089】続いて、半導体基板1に対して熱処理を施すことにより、nMOS領域NおよびpMOS領域Pに、それぞれ低不純物濃度の半導体領域5d1、6d1を形成する。

【0090】その後、図17に示すように、半導体基板1上に、nMOS領域Nが露出され、かつ、それ以外の

10

20

30

40

50

領域が被覆されるようなフォトレジストパターン13fをフォトリソグラフィ技術によって形成する。

【0091】次いで、このフォトレジストパターン13fおよびゲート電極5gをマスクとして、nMOS領域Nの半導体基板1に対して、例えばn形不純物のAs等をイオン注入法等によって導入する。

【0092】続いて、図18に示すように、半導体基板1上に、pMOS領域Pが露出され、かつ、それ以外の領域が被覆されるようなフォトレジストパターン13gをフォトリソグラフィ技術によって形成する。

【0093】その後、このフォトレジストパターン13gおよびゲート電極6gをマスクとして、半導体基板1に対して、例えばp形不純物のホウ素等をイオン注入法等によって導入する。

【0094】次いで、フォトレジストパターン13gを除去した後、半導体基板1に対して熱処理を施すことにより、図19に示すように、nMOS領域NおよびpMOS領域Pに、それぞれ高不純物濃度の半導体領域5d2、6d2を形成する。これにより、半導体基板1上にnMOS5およびpMOS6を形成する。

【0095】続いて、半導体基板1上に、例えばSiO₂等からなる層間絶縁膜9aをCVD法等によって形成した後、その層間絶縁膜9aの所定位置に半導体領域4da、4db、5d、6dが露出するような接続孔11aをフォトリソグラフィ技術およびドライエッチング技術等によって穿孔する。

【0096】その後、その層間絶縁膜9a上に、例えばAl-Si-Cu合金からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術等によってパターンニングすることにより、第1層配線10a1、10a2を形成する。

【0097】次いで、図20に示すように、層間絶縁膜9a上に、例えばSiO₂等からなる層間絶縁膜9bをCVD法等によって形成した後、その層間絶縁膜9bの所定位置に第1層配線10a2の一部が露出するような接続孔11bをフォトリソグラフィ技術およびドライエッチング技術等によって穿孔する。

【0098】続いて、その層間絶縁膜9b上に、例えばAl-Si-Cu合金からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術等によってパターンニングすることにより、第2層配線10b1~10b3を形成する。

【0099】その後、図1に示したように、層間絶縁膜9b上に、例えばSiO₂等からなる表面保護膜9c1、9c2を下層から順にCVD法等によって堆積した後、その所定位置にボンディングワイヤ接続用の開口部を形成して半導体集積回路装置を製造する。

【0100】このような本実施の形態によれば、以下の

効果を得ることが可能となる。

【0101】(1).フラッシュメモリ(EEPROM)を構成するメモリセル4の層間膜4Liを強誘電材料で構成したことにより、浮遊ゲート4fgと制御ゲート4cgとの間の電界の状態を安定化させることができるので、メモリセル4の不揮発性を向上させることが可能となる。

【0102】(2).フラッシュメモリ(EEPROM)を構成するメモリセル4の層間膜4Liを、二酸化シリコン膜または二酸化シリコンと窒化シリコンとの積層膜よりも耐圧が高い強誘電材料で構成したことにより、浮遊ゲート4fgと制御ゲート4cgとの間のパンチスルー等も生じ難く、層間膜4Liの信頼性を向上させることが可能となる。

【0103】(3).フラッシュメモリ(EEPROM)を構成するメモリセル4の層間膜4Liを強誘電材料で構成したことにより、メモリセル4の浮遊ゲート4fgと制御ゲート4cgとの全体容量を増大させることができる。したがって、浮遊ゲート4fgと制御ゲート4cgとの容量結合比を改善することができるので、メモリセル4の面積増大を招くことなく、動作電圧を低下させることが可能となる。

【0104】(4).上記(3)により、メモリセル4のトンネル絶縁膜4Tiに印加される電圧を下げるできるので、メモリセル4の信頼性を向上させることが可能となる。

【0105】(5).上記(3)により、周辺回路に印加される電圧を下げるできるので、周辺回路の信頼性を向上させることが可能となる。

【0106】(6).上記した(1)、(2)、(4)および(5)により、フラッシュメモリ(EEPROM)全体の信頼性および歩留りを向上させることが可能となる。

【0107】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0108】例えば前記実施の形態においては、メモリセルの層間膜をPZT等のような強誘電体材料で構成した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばPbZrO₃、LiNbO₃、Bi₄Ti₃O₁₂、BaMgF₄、PLZT、BST((Ba, Sr)TiO₄)、Y1系(SrBi₂(Nb, Ta)₂O₉)等を用いることもできる。また、これらの強誘電材料はスパッタリング法その他、MOCVD法、ゾルーゲル法またはレーザアブレーション法等を用いて堆積することができる。

【0109】また、前記実施の形態において浮遊ゲートを構成する導体膜の上面にバリア膜を堆積するのに先立って、Ti、Ta、イリジウム(Ir)または酸化イリジウム(IrO₂)を導体膜上に堆積しても良い。

【0110】また、メモリセルの層間膜の上下のバリア膜は、Ptに限定されるものではなく種々変更可能であり、例えばIr、IrO₂、ロジウム(Rh)、酸化ロジウム(RhO₂)、オスミウム(Os)、酸化オスミウム(OsO₂)、ルテニウム(Ru)、酸化ルテニウム(RuO₂)、レニウム(Re)、酸化レニウム(ReO₃)、パラジウム(Pd)、金(Au)等のような導体膜あるいはこれらの積層膜でも良い。

【0111】また、前記実施の形態においては、メモリセルの制御ゲートを低抵抗ポリシリコン上にシリサイド膜を設けて構成した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば制御ゲートの全体を、例えばPt等の単体金属膜により形成しても良い。この場合は、制御ゲートの上面に必ずしもキャップ絶縁膜を設けなくても良い。

【0112】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリ(EEPROM)に適用した場合について説明したが、それに限定されるものではなく、例えば通常の二層ゲートMOS・FET構造のEEPROMまたは紫外線によりプログラム内容を消去する二層ゲートMOS・FET構造のEPROM(Erasable Programmable ROM)等に適用できる。

【0113】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0114】(1). 本発明の半導体集積回路装置によれば、浮遊ゲート上に絶縁膜を介して制御ゲートを設けてなる2層ゲート構造のMISトランジスタで構成される複数の不揮発性メモリセルが半導体基板上に形成された半導体集積回路装置であって、前記絶縁膜を、強誘電性を有する機能膜により構成したことにより、浮遊ゲートと制御ゲートとの間の電界の状態を安定化させることができるので、その不揮発性を向上させることが可能となる。

【0115】(2). 本発明の半導体集積回路装置によれば、浮遊ゲート上に絶縁膜を介して制御ゲートを設けてなる2層ゲート構造のMISトランジスタで構成される複数の不揮発性メモリセルが半導体基板上に形成された半導体集積回路装置であって、前記絶縁膜を、強誘電性を有する機能膜により構成したことにより、浮遊ゲートと制御ゲートとの間のパンチスルー等も生じ難く、層間膜の信頼性を向上させることが可能となる。

【0116】(3). 本発明の半導体集積回路装置によれば、浮遊ゲート上に絶縁膜を介して制御ゲートを設けてなる2層ゲート構造のMISトランジスタで構成される複数の不揮発性メモリセルが半導体基板上に形成された半導体集積回路装置であって、前記絶縁膜を、強誘電性を有する機能膜により構成したことにより、浮遊ゲ

トと制御ゲートとの全体容量を増大させることができる。したがって、浮遊ゲートと制御ゲートとの容量結合比を改善することができるので、不揮発性メモリセルの面積増大を招くことなく、動作電圧を低下させることが可能となる。

【0117】(4). 上記(3)により、不揮発性メモリセルのトンネル絶縁膜に印加される電圧を下げるできるので、不揮発性メモリセルの信頼性を向上させることが可能となる。

【0118】(5). 上記(3)により、周辺回路に印加される電圧を下げるできるので、周辺回路の信頼性を向上させることが可能となる。

【0119】(6). 上記した(1)、(2)、(4)および(5)により、半導体集積回路装置全体の信頼性および歩留りを向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置の動作を説明するための説明図である。

【図3】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図4】図1の半導体集積回路装置の図3に続く製造工程中における要部断面図である。

【図5】図1の半導体集積回路装置の図4に続く製造工程中における要部断面図である。

【図6】図1の半導体集積回路装置の図5に続く製造工程中における要部断面図である。

【図7】図1の半導体集積回路装置の図6に続く製造工程中における要部断面図である。

【図8】図1の半導体集積回路装置の図7に続く製造工程中における要部断面図である。

【図9】図1の半導体集積回路装置の図8に続く製造工程中における要部断面図である。

【図10】図1の半導体集積回路装置の図9に続く製造工程中における要部断面図である。

【図11】図1の半導体集積回路装置の図10に続く製造工程中における要部断面図である。

【図12】図1の半導体集積回路装置の図11に続く製造工程中における要部断面図である。

【図13】図1の半導体集積回路装置の図12に続く製造工程中における要部断面図である。

【図14】図1の半導体集積回路装置の図13に続く製造工程中における要部断面図である。

【図15】図1の半導体集積回路装置の図14に続く製造工程中における要部断面図である。

【図16】図1の半導体集積回路装置の図15に続く製造工程中における要部断面図である。

【図17】図1の半導体集積回路装置の図16に続く製造工程中における要部断面図である。

10

20

30

40

50

【図18】図1の半導体集積回路装置の図17に続く製造工程中における要部断面図である。

【図19】図1の半導体集積回路装置の図18に続く製造工程中における要部断面図である。

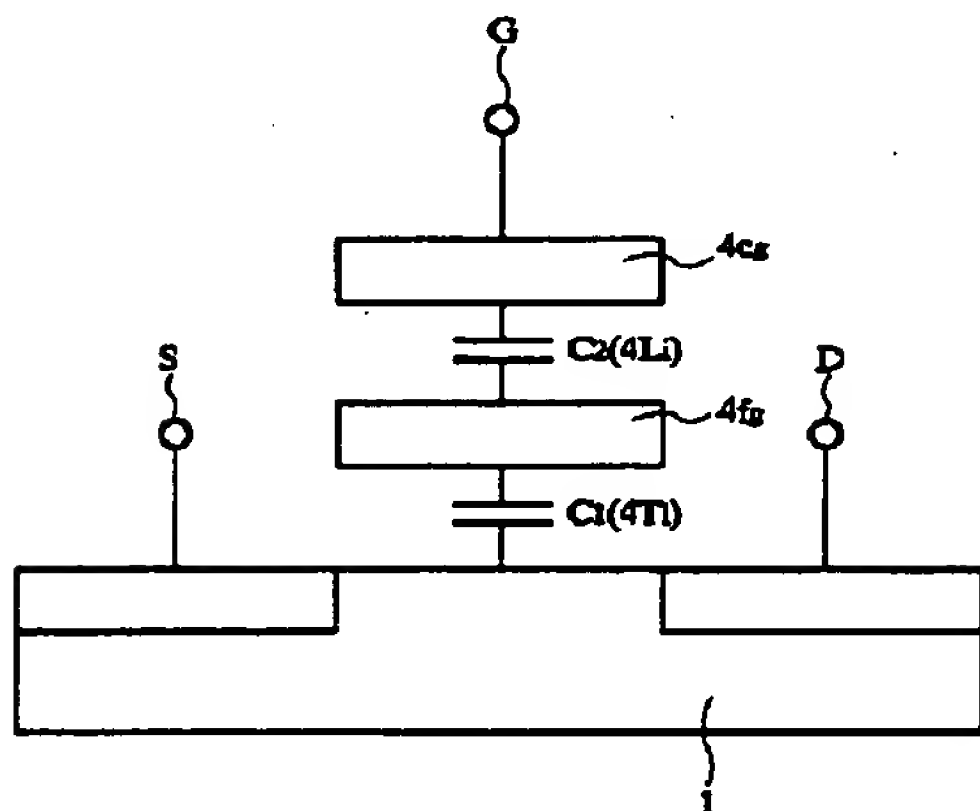
【図20】図1の半導体集積回路装置の図19に続く製造工程中における要部断面図である。

【符号の説明】

- 1 半導体基板
- 1p pウェル
- 1n nウェル
- 2 フィールド絶縁膜
- 3 チャンネルストッパ領域
- 4 メモリセル
- 4da 半導体領域
- 4da1, 4da2 半導体領域
- 4db 半導体領域
- 4db1, 4db2 半導体領域
- 4Ti トンネル絶縁膜
- 4fg 浮遊ゲート
- 4Li 層間膜
- 4cg 制御ゲート
- 5 nチャネル形のMOS・FET
- 5d 半導体領域
- 5d1, 5d2 半導体領域

【図2】

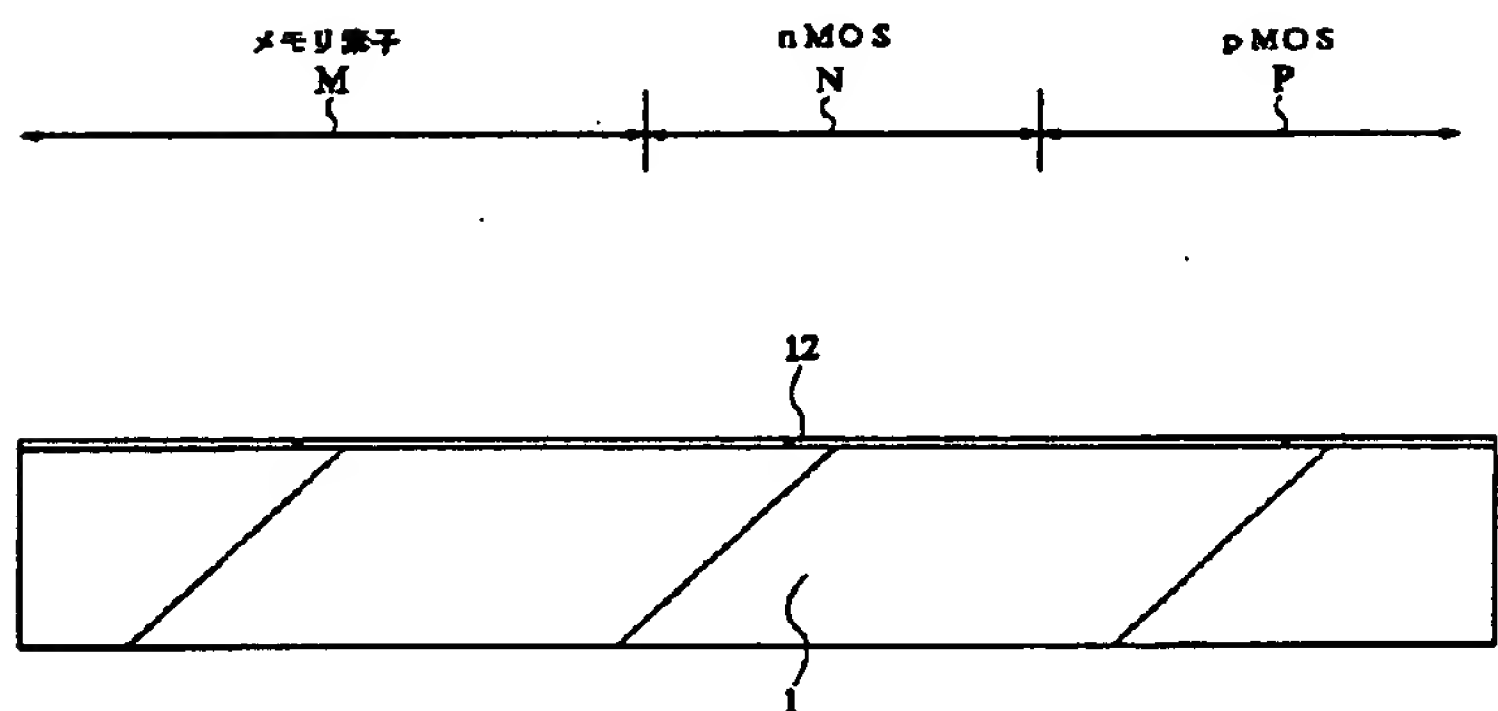
図 2



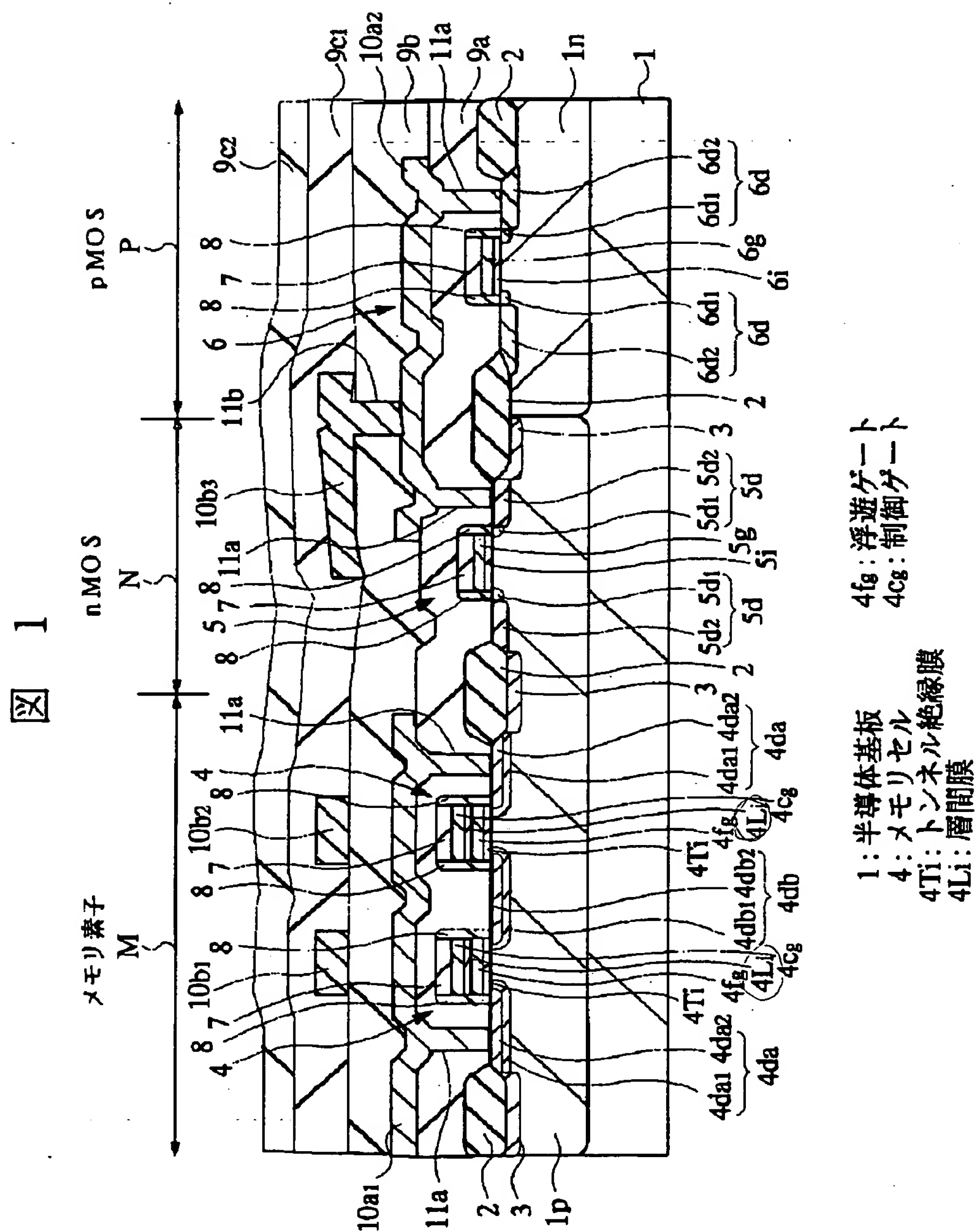
- 5i ゲート絶縁膜
- 5g ゲート電極
- 6 pチャネル形のMOS・FET
- 6d 半導体領域
- 6d1, 6d2 半導体領域
- 6i ゲート絶縁膜
- 6g ゲート電極
- 7 キャップ絶縁膜
- 8 サイドウォール
- 10 9a, 9b 層間絶縁膜
- 9c1, 9c2 表面保護膜
- 10a1, 10a2 第1層配線
- 10b1 ~ 10b3 第2層配線
- 11a, 11b 接続孔
- 12 パッド膜
- 13a ~ 13g フォトリソグパターン
- 14 耐酸化性マスク膜
- 15 厚い絶縁膜
- M メモリ素子領域
- 20 N nチャネル形のMOS・FET領域
- P pチャネル形のMOS・FET領域
- S ソース電極
- D ドレイン電極
- G ゲート電極

【図3】

図 3

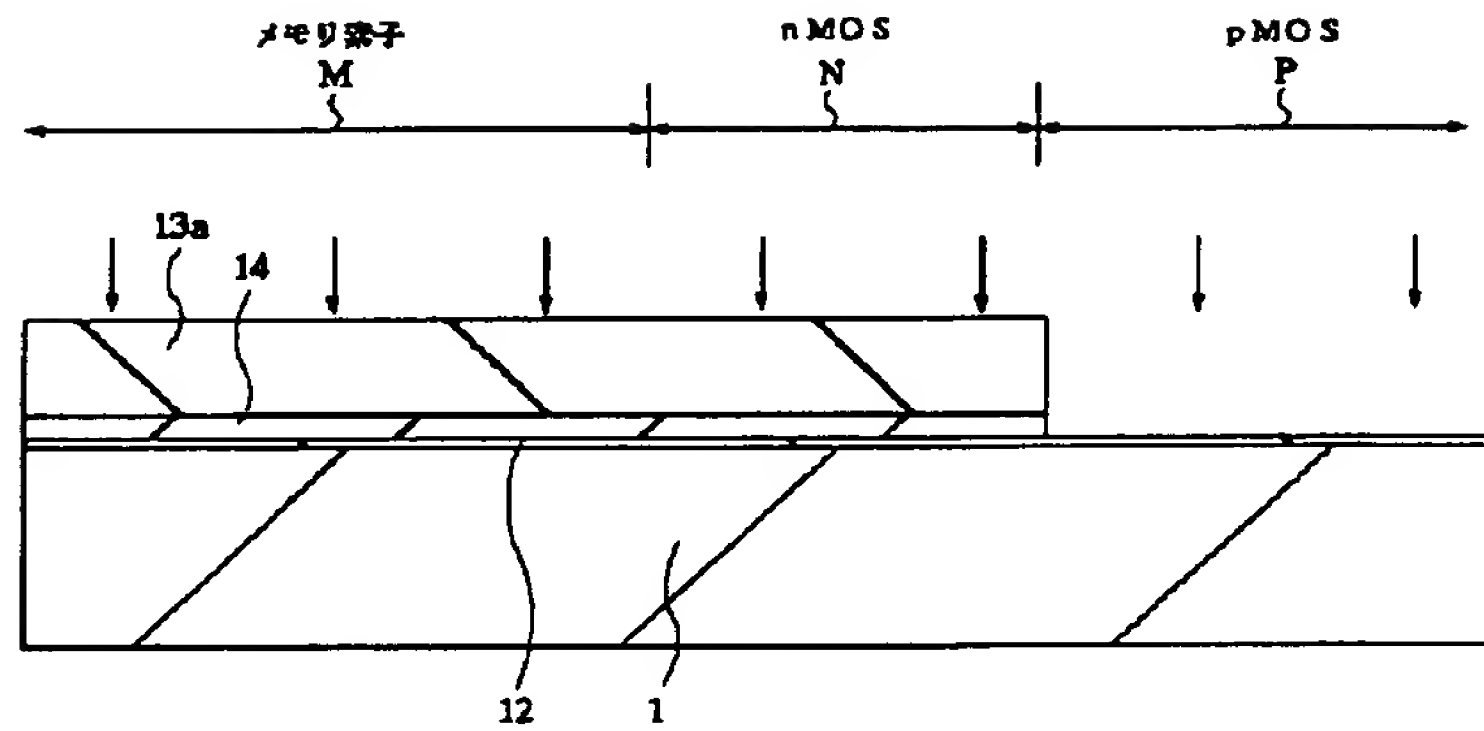


【図 1】



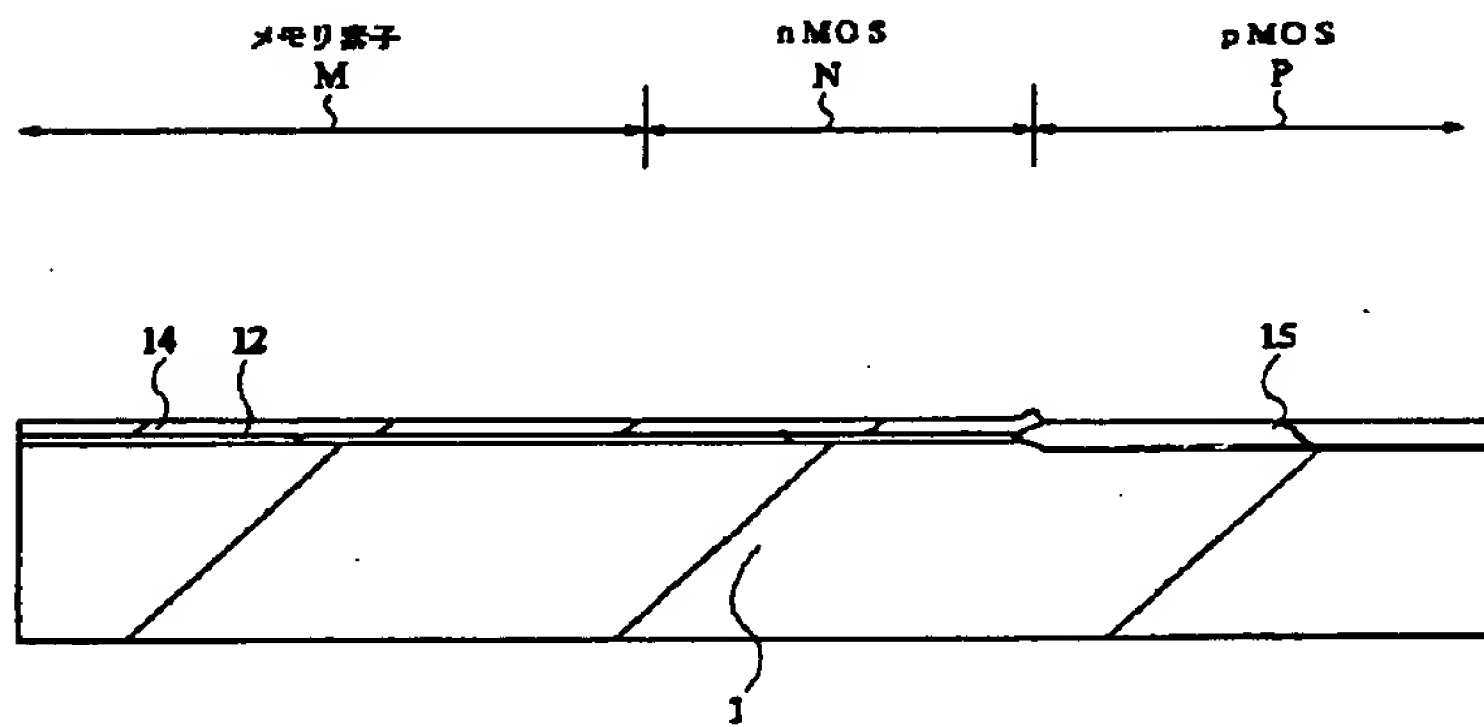
【図4】

図 4



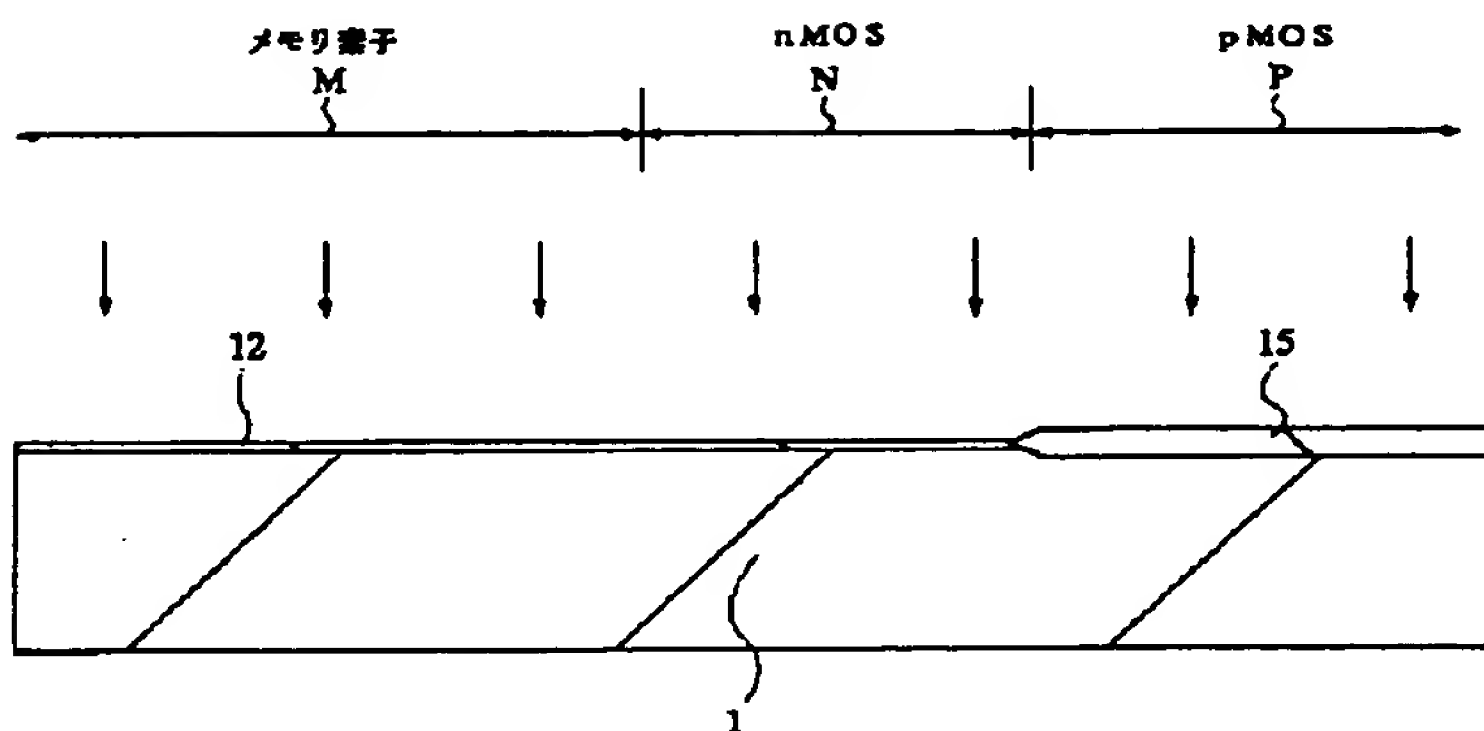
【図5】

図 5



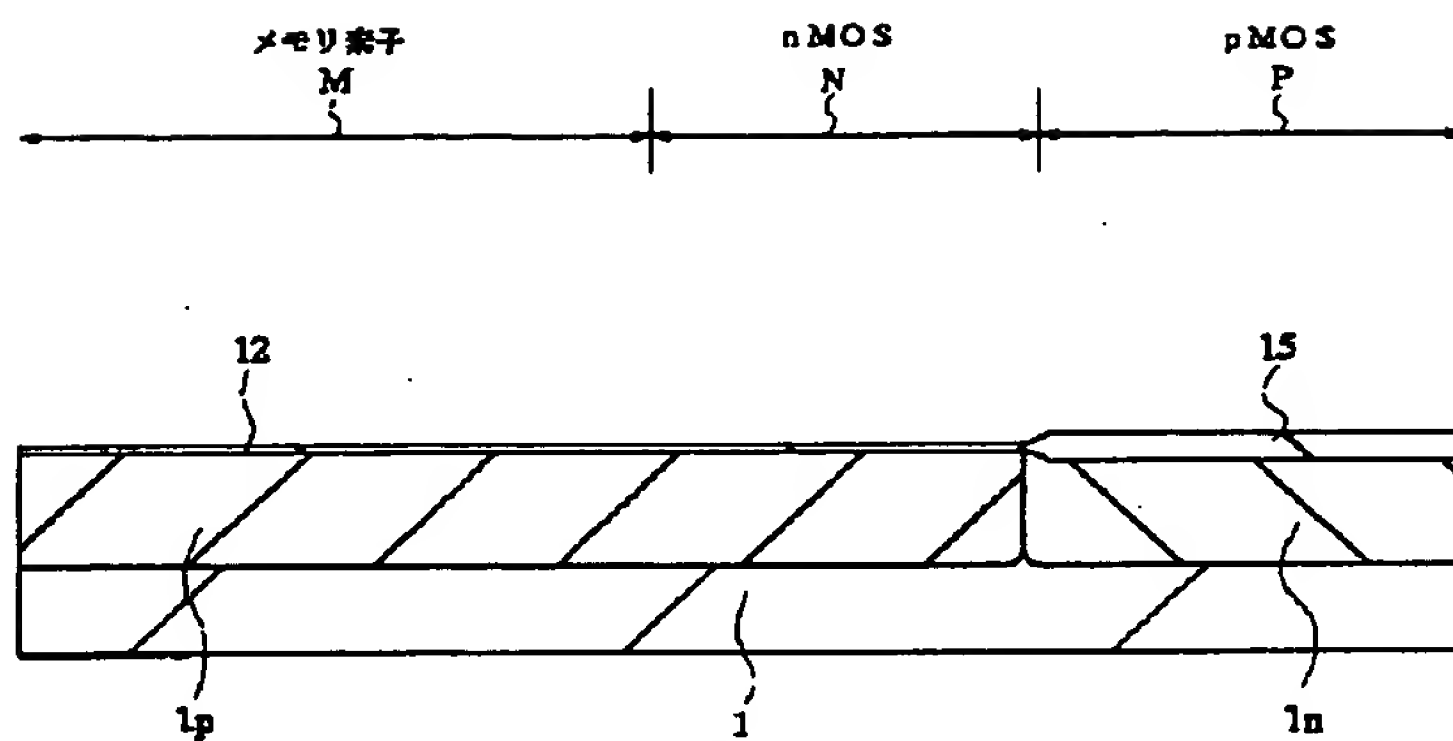
【図6】

図 6



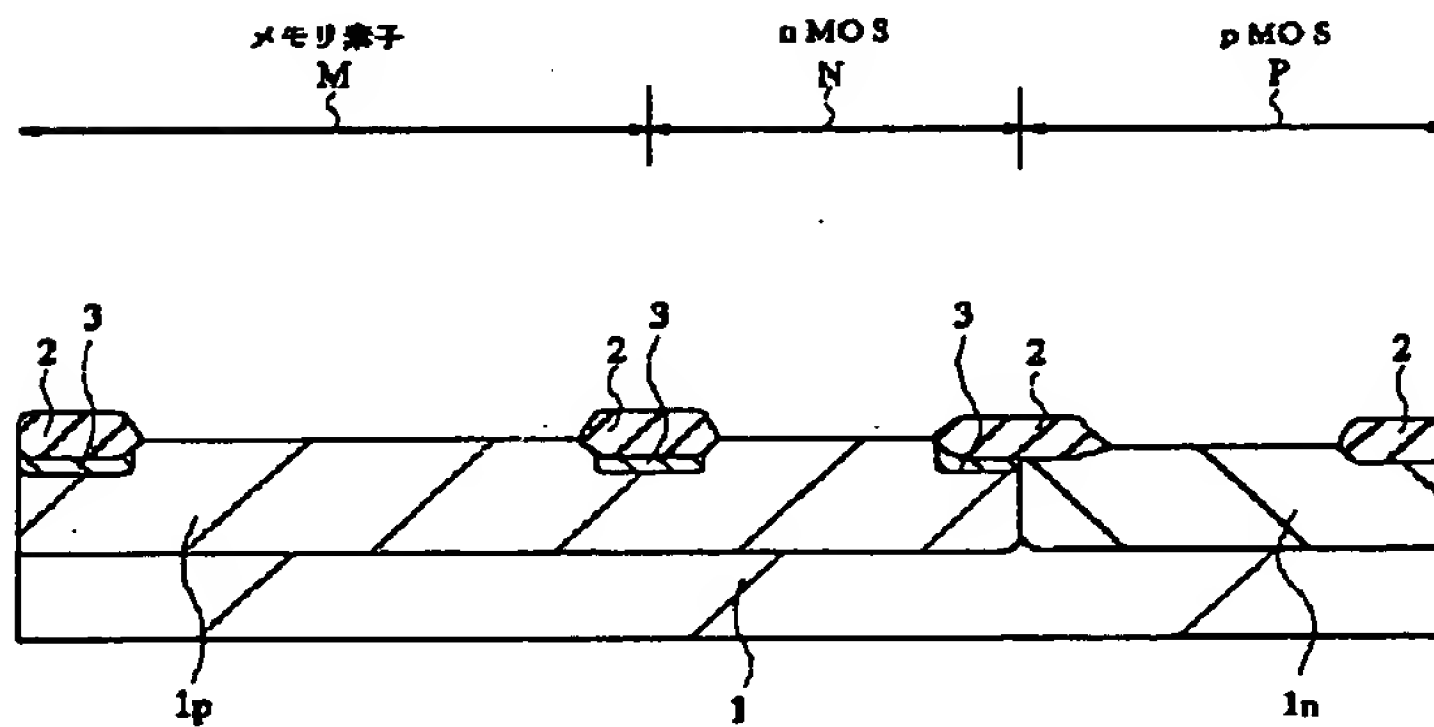
【図7】

図 7



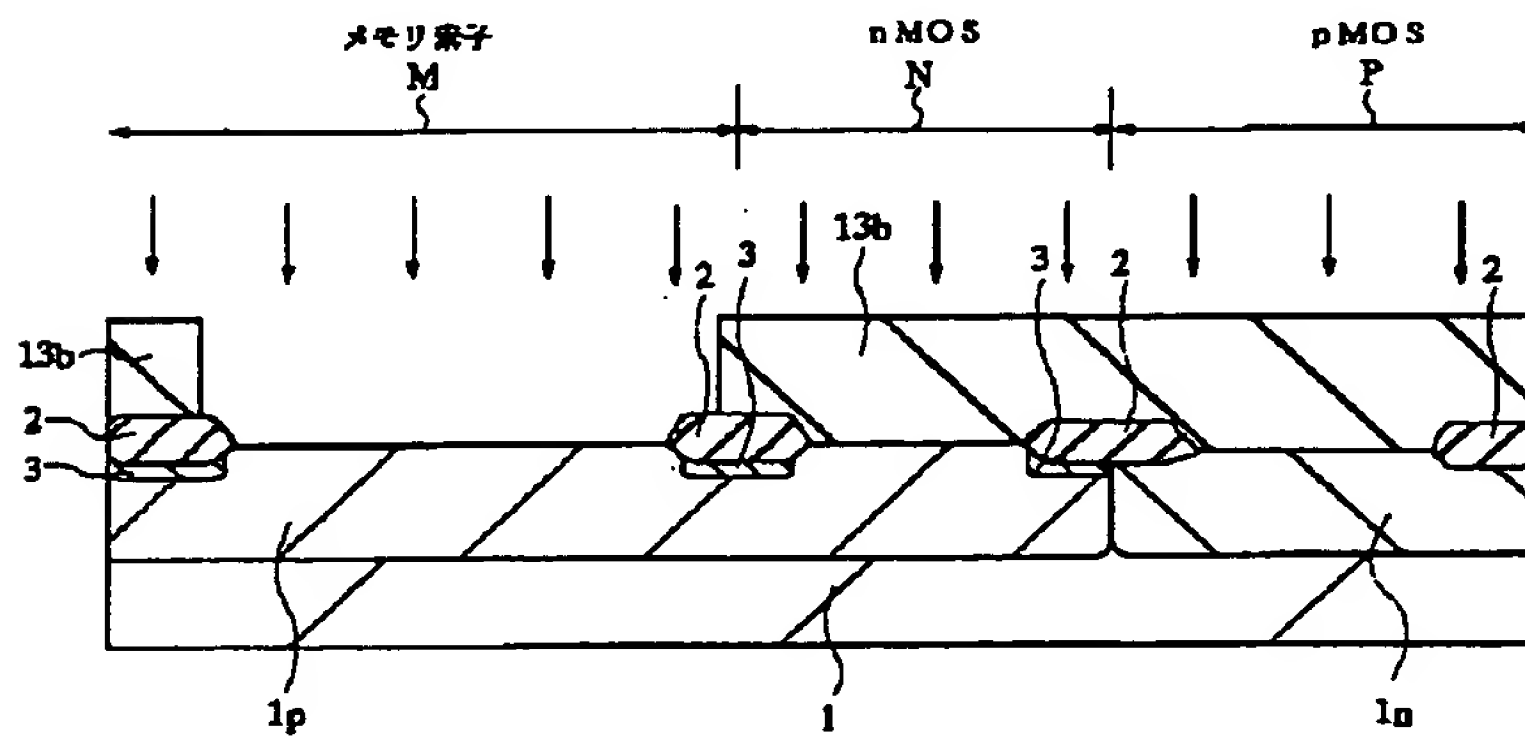
【図8】

図 8



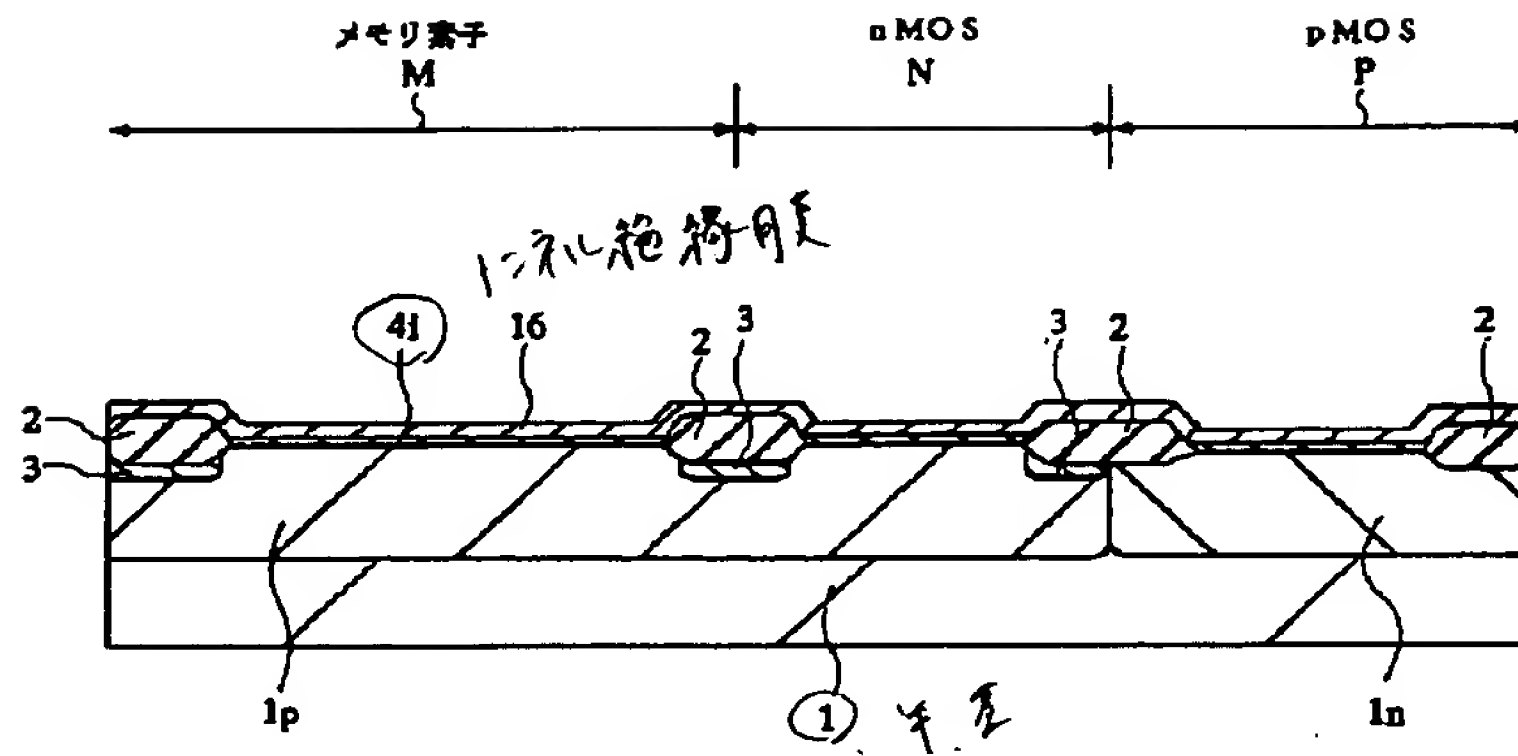
【図9】

図 9



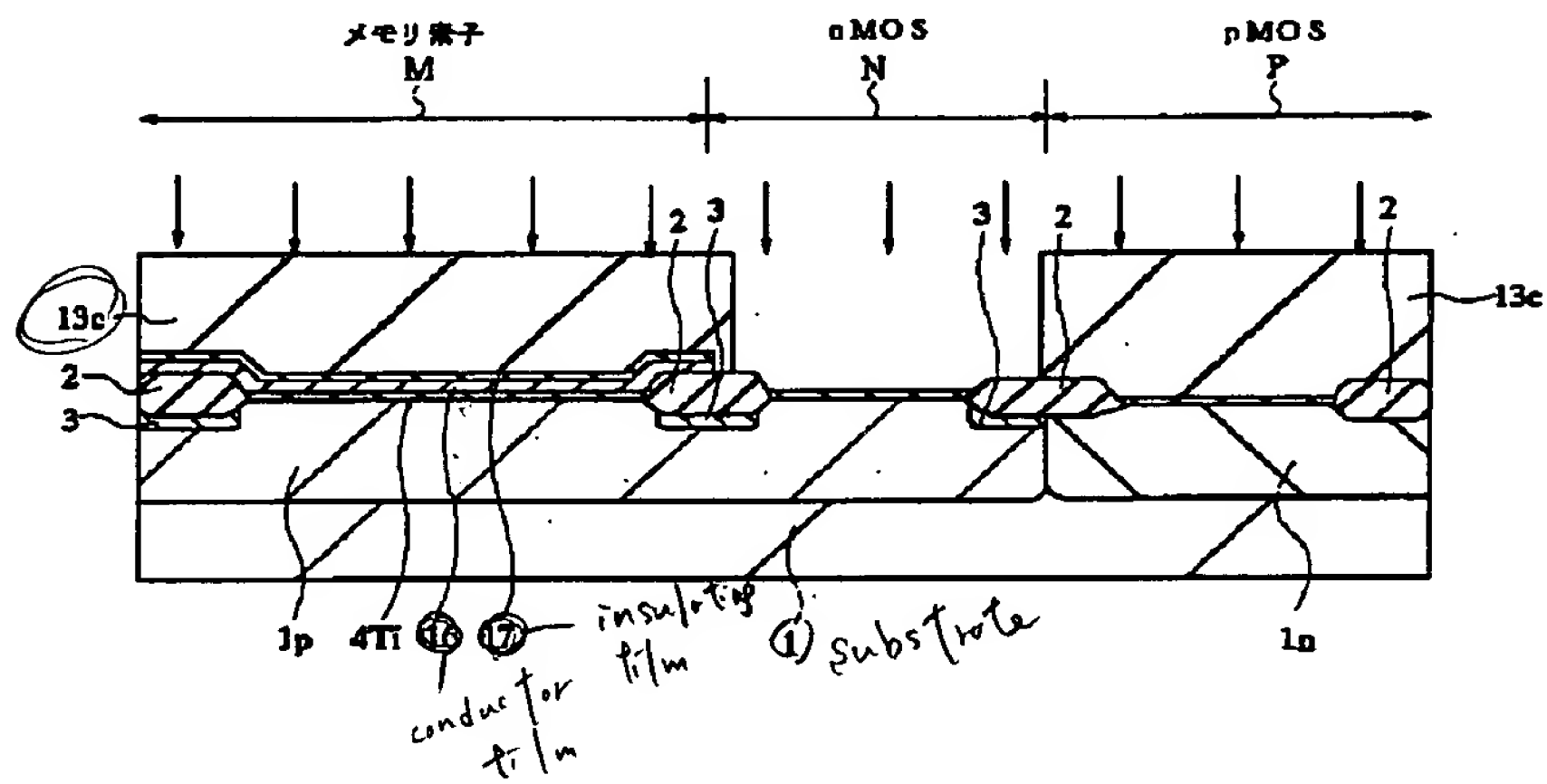
【図10】

図 10



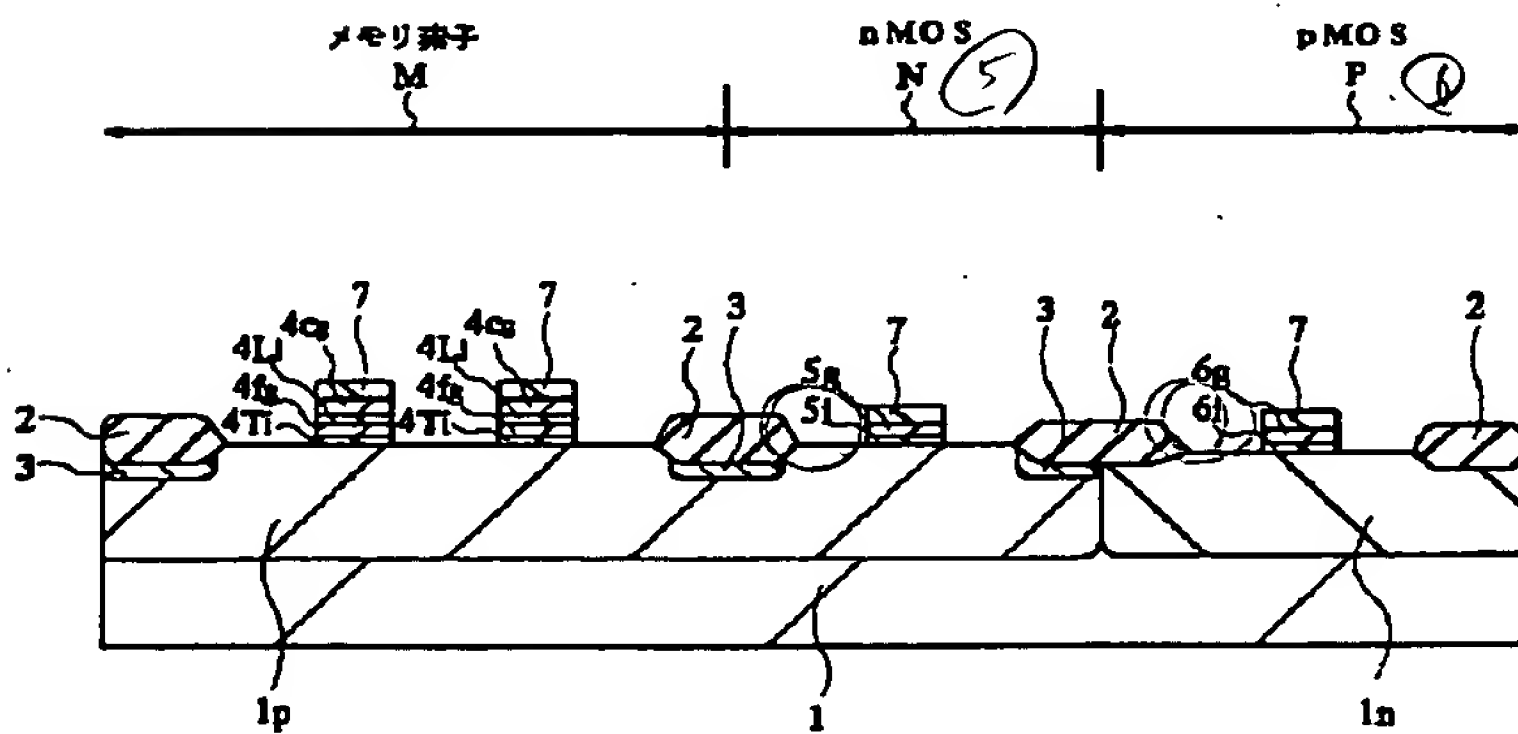
【図11】

図 11



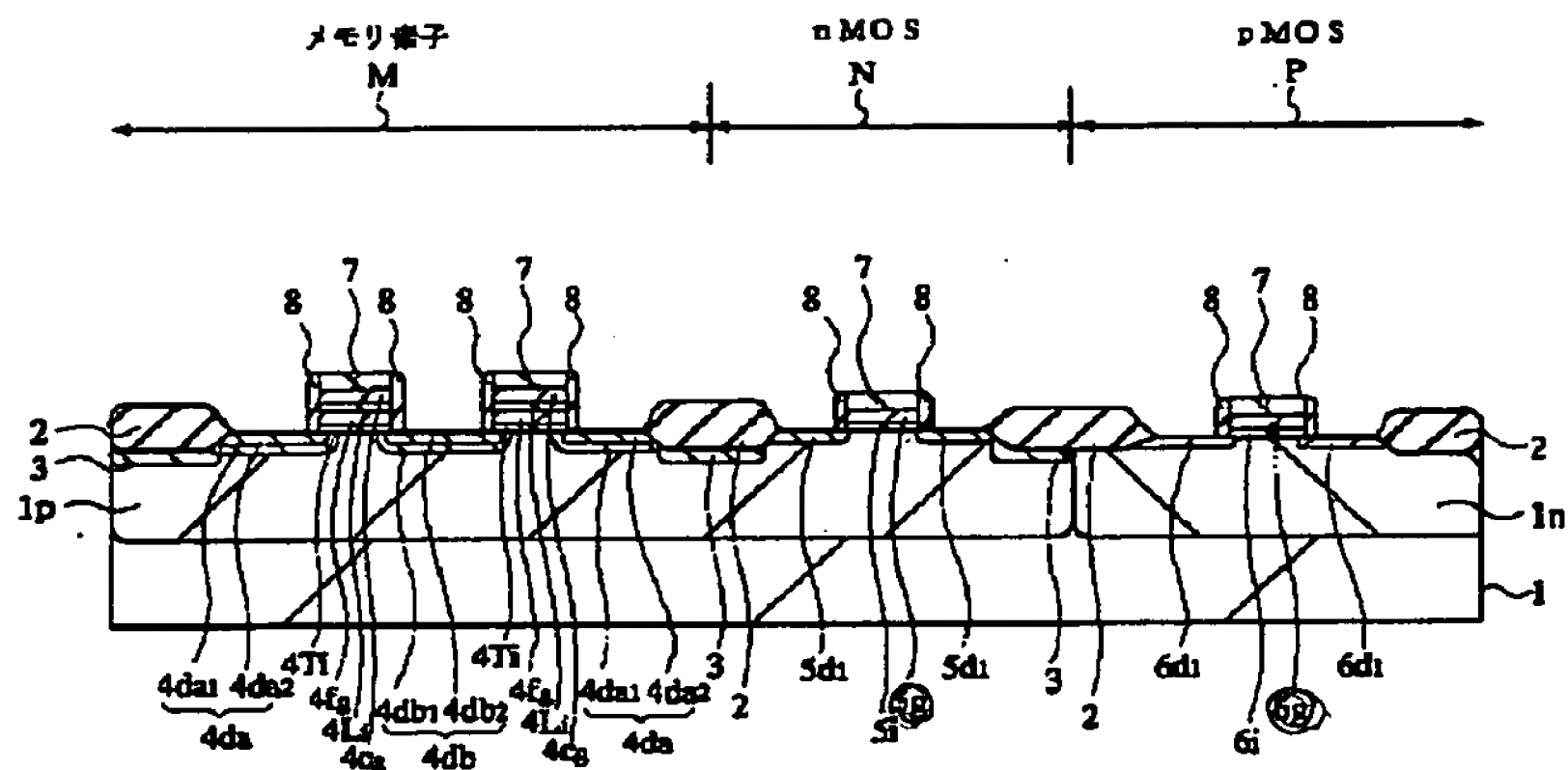
【図12】

図 12



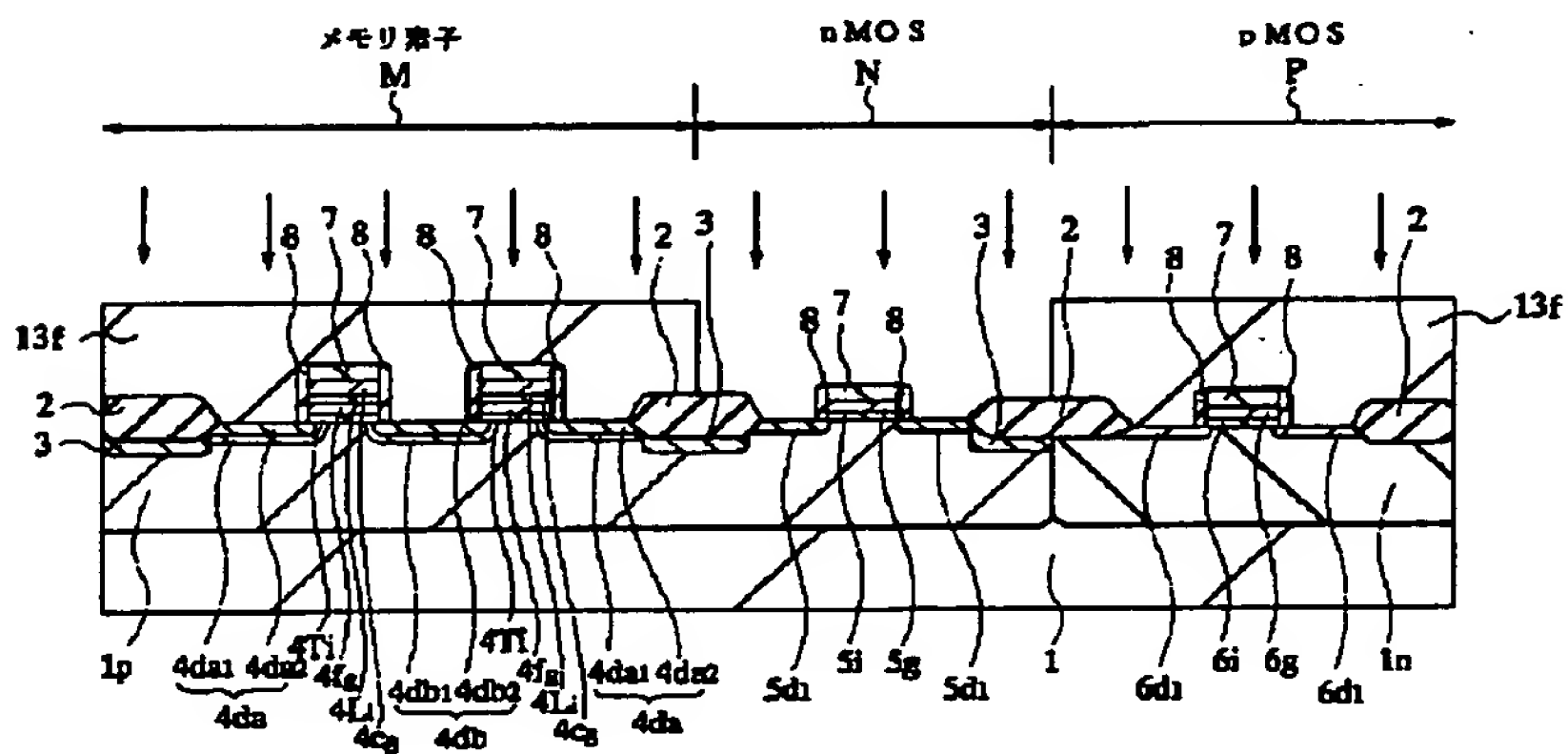
【図16】

図 16



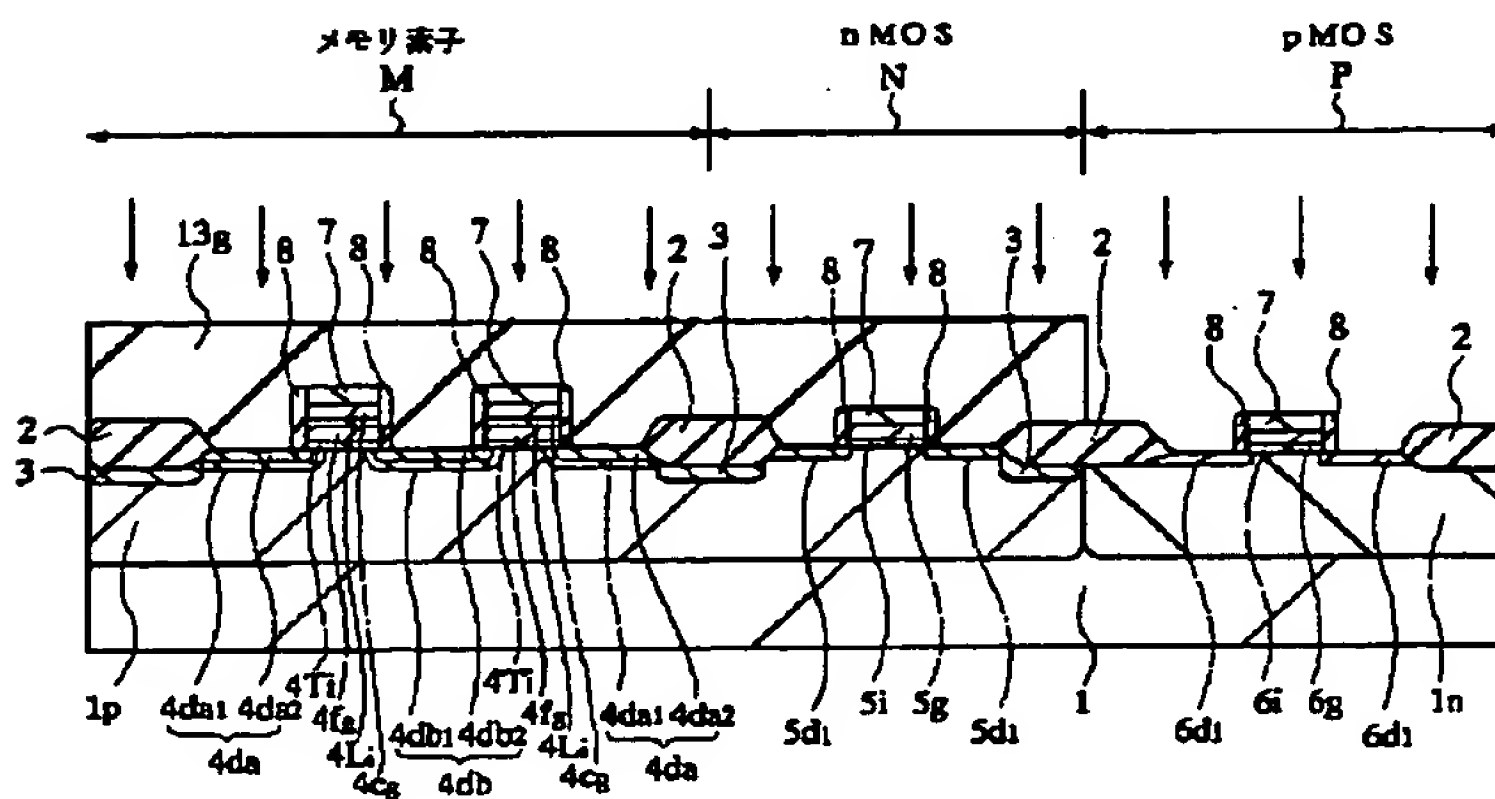
【図17】

図 17



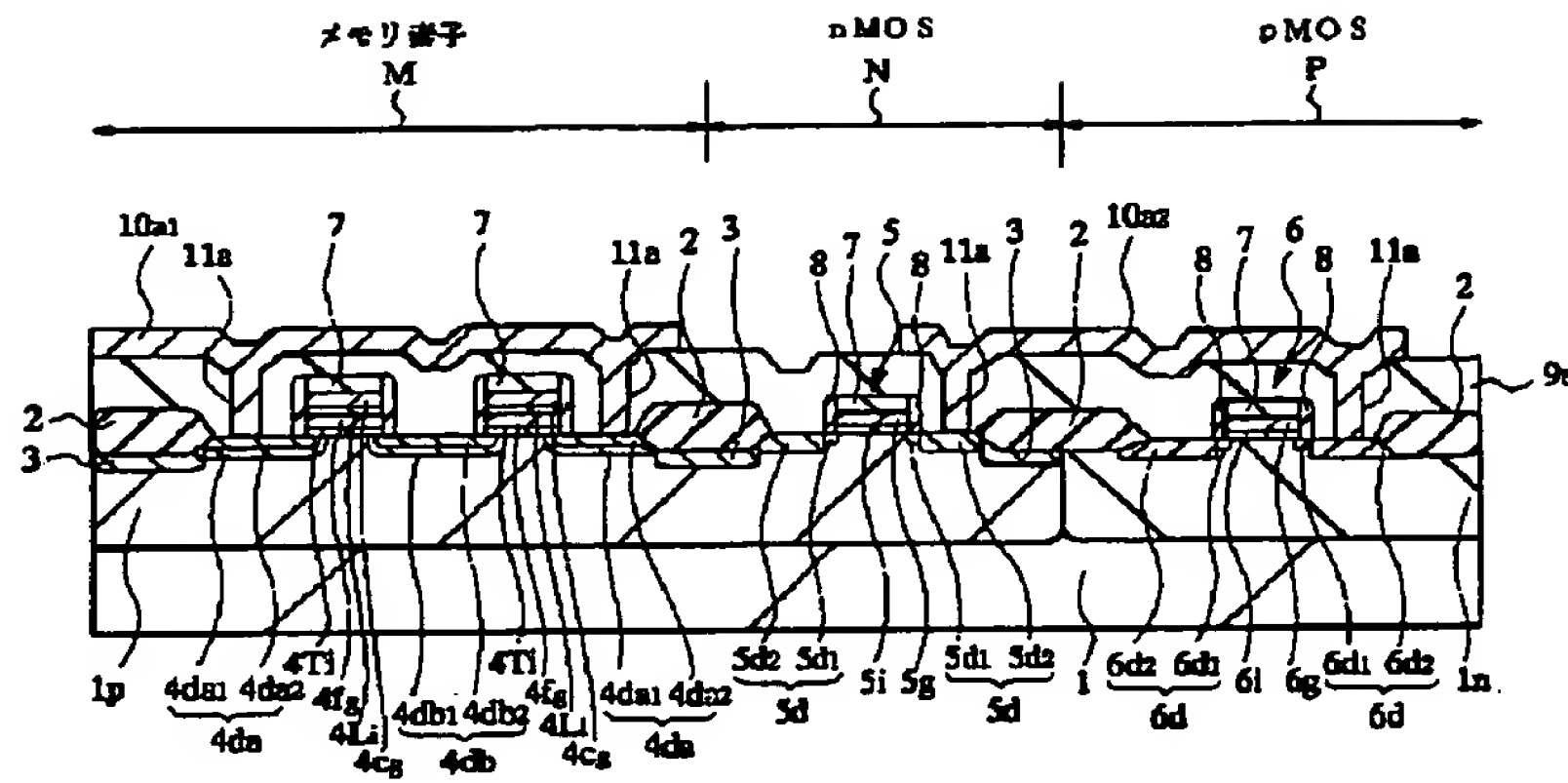
【図18】

図 18



【図19】

図 19



【図20】

図 20

